

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-275870

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

H01L 33/00  
H01L 31/0232  
H01S 3/18  
H04B 10/02

(21)Application number : 05-065559

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.03.1993

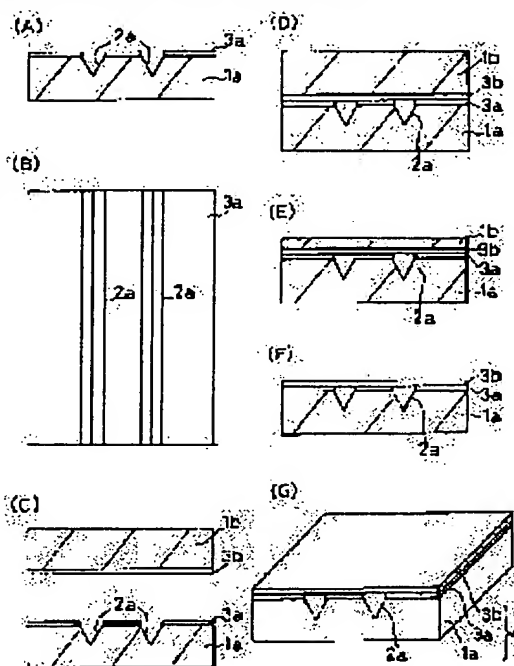
(72)Inventor : TABUCHI HARUHIKO

## (54) MANUFACTURE OF OPTICAL COUPLING MEMBER AND MEMBER FOR OPTICAL COUPLING

## (57)Abstract:

PURPOSE: To enhance the accuracy of photolithography when a bonding pad and an optical waveguide are formed on the surface by a method wherein the surface of a substrate having a groove is covered with a flat boardlike member.

CONSTITUTION: An Si substrate on which an SiO<sub>2</sub> film 3b has been formed by a thermal oxidation operation is prepared, it is overlapped with the surface of an SiO<sub>2</sub> film 3a on another Si substrate in which V-grooves 2a have been formed, this assembly is heated at about 800° C and the SiO<sub>2</sub> films 3a, 3b are bonded firmly. The surface of the Si substrate 1b is polished by using an abrasive, the Si substrate 1b is made thin, and the Si substrate 1b is etched and removed by using KOH. When it is etched, the V-groove holes 2a are filled with wax or the like, the wax is then removed, and a substrate material 4 is formed. Thereby, when a bonding pad or the like is patterned on the substrate 1a having the grooves, the V-grooves are filled, the surface is made flat and a photo-resist can be coated uniformly. As a result, the position of the bonding pad or the like can be formed with high accuracy.



## LEGAL STATUS

[Date of request for examination]

16.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3484543

[Date of registration]

24.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 7 5 8 7 0

(43) 公開日 平成 6 年 ( 1 9 9 4 ) 9 月 3 0 日

(51) Int. Cl. <sup>5</sup>

H01L 33/00

31/0232

H01S 3/18

H04B 10/02

識別記号

庁内整理番号

F I

技術表示箇所

M 7376-4M

7210-4M

H01L 31/02

C

審査請求 未請求 請求項の数 4 6 O L (全 3 5 頁) 最終頁に続く

(21) 出願番号 特願平 5 - 6 5 5 5 9

(22) 出願日 平成 5 年 ( 1 9 9 3 ) 3 月 2 4 日

(71) 出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 1 0 1 5 番  
地

(72) 発明者 田淵 晴彦

神奈川県川崎市中原区上小田中 1 0 1 5 番  
地 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

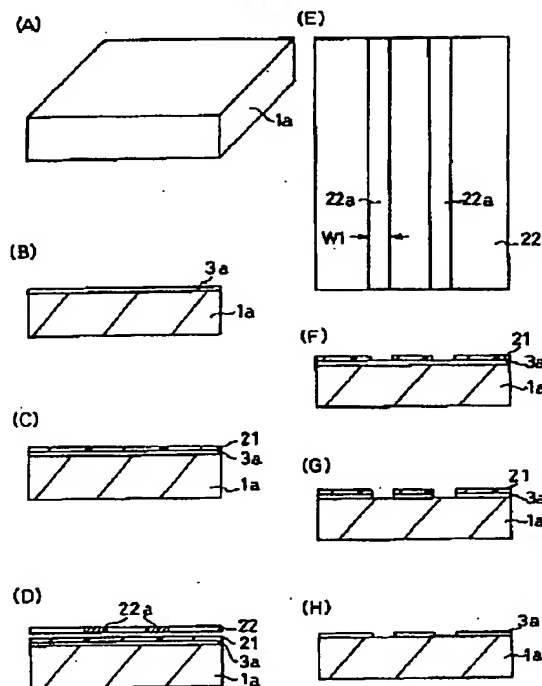
(54) 【発明の名称】 光結合部材の製造方法および光結合用部材

(57) 【要約】

【目的】 光学部品、光ファイバおよび電子部品の実装技術に関し、基板上に光学部品を形成したり、チップをボンディングする時に発生する、光ファイバの位置合わせを行なう溝を有することに起因する諸問題を解消し、製造工程の容易化および集積化されるチップの高精度のボンディングを可能とする集積化光装置の製造方法を提供することを目的とする。

【構成】 下地基板表面に光ファイバ位置決め用の溝を形成する溝形成工程と、前記溝を有する下地基板表面を平坦化する平坦化工程と、前記平坦化した表面上に光学部品を位置決めする位置決め工程と、前記溝を再度露出する露出工程と、露出した溝に光ファイバを位置決めする光ファイバ実装工程とを含む。

実施例 1



## 【特許請求の範囲】

【請求項 1】 下地基板（1 a）表面に光ファイバ位置決め用の溝（2 a）を形成する溝形成工程と、前記溝を有する下地基板表面を平坦化する平坦化工程と、

前記平坦化した表面上に光学部品を位置決めする位置決め工程と、

前記溝を再度露出する露出工程と、

露出した溝に光ファイバを位置決めする光ファイバ実装工程とを含む光結合部材の製造方法。

【請求項 2】 前記平坦化工程は、前記下地基板とは異なる材料で形成された平板状部材を前記溝を形成した下地基板表面上に溝を覆って貼り合わせる工程を含む請求項 1 記載の光結合部材の製造方法。

【請求項 3】 前記溝が前記下地基板の面内の制限された領域内に形成され、前記平板状部材によって密閉される請求項 2 記載の光結合部材の製造方法。

【請求項 4】 前記平板状部材が透明誘電体であり、前記位置決め工程が、透明誘電体を通して前記溝あるいは前記溝と同時に形成された位置合わせマークをモニタしつつ行なわれる請求項 2 ないし 3 記載の光結合部材の製造方法。

【請求項 5】 前記平坦化工程に、表面に透明誘電体膜を形成した半導体基板を、前記溝を有する下地基板表面に貼り合わせる工程を含み、

しかも、前記透明誘電体膜が前記溝を有する下地基板表面に接するように貼り合わせることを特徴とする請求項 2 ないし 3 記載の光結合部材の製造方法。

【請求項 6】 前記平坦化工程が、さらに前記半導体基板を除去する工程を含む請求項 5 記載の光結合部材の製造方法。

【請求項 7】 前記平坦化工程が、さらに前記半導体基板を研磨して薄くする工程を含む請求項 5 記載の光結合部材の製造方法。

【請求項 8】 さらに、前記薄くした半導体基板に半導体素子を形成する工程を含む請求項 7 記載の光結合部材の製造方法。

【請求項 9】 前記位置決め工程が、前記平板状部材上に、前記溝と位置合わせして半田濡れ性のある導電パターンを形成する工程を含む請求項 2 ～ 8 のいずれかに記載の光結合部材の製造方法。

【請求項 10】 前記位置決め工程が、さらに前記半田濡れ性のある導電パターン上に光電子部品をフリップチップボンディングする工程を含む請求項 9 記載の光結合部材の製造方法。

【請求項 11】 前記位置決め工程が、前記平板状部材上に、前記溝と位置合わせして光導波路を形成する工程を含む請求項 2 ～ 9 のいずれかに記載の光結合部材の製造方法。

【請求項 12】 前記導波路を形成する工程が屈折率の

異なる高分子材料を積層する工程を含む請求項 11 記載の光結合部材の製造方法。

【請求項 13】 前記導波路を形成する工程が屈折率の異なる無機材料を積層する工程を含む請求項 11 記載の光結合部材の製造方法。

【請求項 14】 前記無機材料を積層する工程が SiO<sub>2</sub> 膜を形成する工程と、その上に Ge を含む SiO<sub>2</sub> 膜を形成する工程と、Ge を含む SiO<sub>2</sub> 膜をパターニングする工程と、その上に SiO<sub>2</sub> 膜を形成する工程と、熱処理によってこれらの SiO<sub>2</sub> 膜をガラス化する工程とを含む請求項 13 記載の光結合部材の製造方法。

【請求項 15】 前記下地基板が Si 基板であり、前記溝形成工程が異方性エッチングによって V 溝または U 溝を形成する工程を含む請求項 1 ～ 14 のいずれかに記載の光結合部材の製造方法。

【請求項 16】 前記下地基板がセラミクスで形成され、前記溝形成工程が下地基板表面をカットで研削する工程を含み、前記平坦化工程が溝を多結晶半導体で埋める工程を含む請求項 1 記載の光結合部材の製造方法。

【請求項 17】 さらに、前記平坦化工程が前記多結晶半導体を研磨する工程を含む請求項 16 記載の光結合部材の製造方法。

【請求項 18】 下地基板（1 a）表面に、端部に長さ方向に対して傾いた反射面を有し、光ファイバを収容できる溝（2 a）を形成する溝形成工程と、

前記下地基板とは異なる材料で形成された平板状部材を前記溝を形成した下地基板表面上に溝を覆って貼り合わせ、前記溝を有する下地基板表面を平坦化する平坦化工程と、

前記平坦化した表面上に光学部品を位置決めする位置決め工程と、

溝内に光ファイバを位置決めする光ファイバ実装工程とを含む光結合部材の製造方法。

【請求項 19】 前記下地基板が Si 基板であり、前記溝形成工程が異方性エッチング工程を含む請求項 18 記載の光結合部材の製造方法。

【請求項 20】 前記溝が前記下地基板の面内の制限された領域内に形成され、前記平板状部材によって密閉される請求項 19 記載の光結合部材の製造方法。

【請求項 21】 前記平板状部材が透明誘電体であり、前記位置決め工程が透明誘電体を通して前記溝あるいは前記溝と同時に形成された位置合わせマークをモニタしつつ行なわれる請求項 19 ないし 20 記載の光結合部材の製造方法。

【請求項 22】 前記平坦化工程が、表面に透明誘電体膜を形成した半導体基板を前記透明誘電体膜が前記溝を有する下地基板表面と接するように貼り合わせる工程を含む請求項 19 ないし 20 記載の光結合部材の製造方法。

【請求項 23】 前記平坦化工程が、さらに前記半導体

10

20

30

40

50

基板を除去する工程を含む請求項 2 2 記載の光結合物材の製造方法。

【請求項 2 4】 前記平坦化工程が、さらに前記半導体基板を研磨して薄くする工程を含む請求項 2 2 記載の光結合物材の製造方法。

【請求項 2 5】 さらに、前記薄くした半導体基板に半導体素子を形成する工程を含む請求項 2 4 記載の光結合物材の製造方法。

【請求項 2 6】 前記位置決め工程が、前記平板状部材上に、前記溝と位置合わせして半田濡れ性のある導電パターンを形成する工程を含む請求項 1 9 ~ 2 5 のいずれかに記載の光結合物材の製造方法。

【請求項 2 7】 前記位置決め工程が、さらに前記半田濡れ性のある導電パターン上に光電子部品をフリップチップボンディングする工程を含む請求項 2 6 記載の光結合物材の製造方法。

【請求項 2 8】 前記位置合わせ工程が前記平板状部材上にレンズを形成する工程を含む請求項 1 8 ~ 2 0 のいずれかに記載の光結合物材の製造方法。

【請求項 2 9】 前記レンズが有機高分子材料で形成される請求項 2 8 記載の光結合物材の製造方法。

【請求項 3 0】 前記レンズが半導体で形成される請求項 2 8 記載の光結合物材の製造方法。

【請求項 3 1】 前記溝形成工程が S i ウエハに複数の溝を形成する工程を含み、前記平坦化工程が前記 S i ウエハ全面に対して一度に行なわれる請求項 1 8 記載の光結合物材の製造方法。

【請求項 3 2】 前記平板状部材が表面に S i O<sub>2</sub> 膜を形成した S i 基板である請求項 3 1 記載の光結合物材の製造方法。

【請求項 3 3】 前記平板状部材がガラス基板である請求項 3 1 記載の光結合物材の製造方法。

【請求項 3 4】 表面に光ファイバ位置決め用溝を有する下地基板と、

前記下地基板の溝を有する表面を覆って溝が空洞になるように配置され、平坦な表面を有する平板状部材とを有する光結合物材。

【請求項 3 5】 前記平板状部材が光ファイバを透過する光に対して透明である請求項 3 4 記載の光結合物材。

【請求項 3 6】 前記平板状部材が誘電体層と半導体層との積層を含む請求項 3 4 記載の光結合物材。

【請求項 3 7】 前記下地基板が、溝端部に光ファイバから発する光を上方に反射する反射面を有する請求項 3 4 ~ 3 6 のいずれかに記載の光結合物材。

【請求項 3 8】 さらに、前記平板状部材上に配置されたレンズを有する請求項 3 4 ~ 3 7 のいずれかに記載の光結合物材。

【請求項 3 9】 さらに、前記平板状部材上に配置されたガラス板を有する請求項 3 4 ~ 3 7 のいずれかに記載

の光結合物材。

【請求項 4 0】 さらに、前記ガラス板表面に配置されたレンズを含む請求項 3 9 記載の光結合物材。

【請求項 4 1】 前記下地基板が表面から約 4 5 度傾いた ( 1 1 1 ) 面を示す面方位を有し、前記反射面が表面から約 4 5 度傾いた ( 1 1 1 ) 面を用いて形成されている請求項 3 7 記載の光結合物材。

【請求項 4 2】 前記溝が光ファイバを収容するのに適した寸法を有する請求項 3 4 ~ 4 1 のいずれかに記載の光結合物材。

【請求項 4 3】 前記下地基板がセラミクスで形成され、さらにその表面に形成されたマイクロストリップ線路を有する請求項 3 4 ~ 3 6 のいずれかに記載の光結合物材。

【請求項 4 4】 前記下地基板が S i 基板であり、前記溝形成工程が異方性エッチングによって V 溝を形成する工程であり、

前記平坦化工程が、V 溝の側面を含む表面に熱酸化膜を形成した後、V 溝をポリシリコンで埋め込み、その後 S i 基板の平坦部分の熱酸化膜が露出するまで表面を平坦に研磨する工程を含む請求項 1 に記載の光結合物材の製造方法。

【請求項 4 5】 前記位置決め工程が、平坦化工程を終了した光結合物材の表面に、その表面でのホトリソグラフィプロセスで行なうことのできる全ての加工を行なう工程を含み、前記露出工程は、その後 V 溝に埋め込まれたポリシリコンを除去する工程を含む請求項 4 4 に記載の光結合物材の製造方法。

【請求項 4 6】 前記位置決め工程が、平坦化工程を終了した光結合物材の表面に、その表面でのホトリソグラフィプロセスで行なうことのできる全ての加工を行なう工程を含み、前記露出工程は、その後 V 溝表面を覆う平板状部材を除去する工程を含む請求項 2 に記載の光結合物材の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、光学部品、光ファイバおよび電子部品の実装技術に関する。光通信システムにおいては、信号を送信する側の発光素子と信号を受信する側の光電変換素子を光ファイバで接続して情報通信を行なう。ところで、現在使用されている発光素子や光電変換素子と光ファイバを使用すると、発光素子と光ファイバあるいは光電変換素子と光ファイバを接続する際に、光軸の位置ずれを数  $\mu\text{m}$  以下に抑える必要がある。

【 0 0 0 2 】 従来は、発光素子を発光状態にしておき、発光素子と光ファイバを微動ステージに搭載し、しかも、光ファイバのもう一方の端から出力される光強度を測定しながら光軸の微調整を行ない、ファイバから出力される光強度が最大になるように位置合わせしていた。

【 0 0 0 3 】 さらに、位置合わせ後の発光素子と光ファ

ファイバの固定に、接着剤による固定、半田による固定、レーザ溶接による固定等が用いられていた。発光素子や光電変換素子とファイバの位置合わせには、直交する3軸方向（いわゆるX、Y、Z方向）の他に、発光素子や光電変換素子と光ファイバの光軸の傾きがある。この光軸の傾きについても、最低でも水平と垂直の2軸があるため、合計では最低でも5軸の微調整が必要とされる。

【0004】さらに、発光素子に電流を流して発光状態にする必要があるため、予めリード線の付いた金属ブロック等に実装した後、光軸合わせを行なわなければならない。

【0005】このため、従来の発光素子と光ファイバの接続においては、発光素子や光電変換素子と光ファイバとの接続構造の大型化、接続構造に必要な部品点数の増加による材料費の増加、精密な多軸光軸調整装置の製造費用の増加、多軸の光軸調整に時間がかかることによる接続費用の増加等があり、発光素子あるいは光電変換素子と光ファイバを接続した部品が高価になっていた。

【0006】さらに、一旦光軸調整が行なわれても、発光素子と光ファイバを接着剤や半田やレーザ溶接で固定する際に、両者を位置決めしている構造材料に熱が加えられて熱膨張が起こり、光軸がずれてしまう場合がある。

【0007】このため、従来の実装技術を用いると、発光素子あるいは光電変換素子と光ファイバが良好に接続される頻度が低下し、良好な接続を実現するために膨大な費用がかかるという問題があった。

【0008】従来のように、光通信システムを電話回線の幹線系に使用する場合には、発光素子や光電変換素子とファイバの接続にかかる費用はシステムの経済性を損なうほどの大きな問題にはならなかった。

【0009】しかし、今後、加入者系の電話回線に経済性の高い光通信システムを導入してゆくためには、この接続費用の問題を解決することが不可欠になっている。このような問題を解決する手段として、発光素子や光電変換素子と光ファイバを無調整で接続する技術が求められている。

【0010】

【従来の技術】光ファイバ位置合わせ溝が形成される基板上に光導波路等の光学部品を形成したり、あるいは光半導体装置や半導体集積回路などの半導体チップをボンディングすることで、装置の集積化を図る技術が研究されている。

【0011】しかし、溝が形成された基板の表面に光学部品（たとえば光導波路）を形成する場合、溝形成後の工程で、基板表面に形成された光学部品を構成する層のパターニング工程が困難になるという問題がある。

【0012】例えば、溝が形成された基板の表面にチップをボンディングするためのボンディングパッドを形成すると、ボンディングパッドの位置を高精度に形成する

ことができず、特に光半導体チップの光軸が所定の位置からずれるという問題がある。

【0013】以下に、ファイバ固定用のV溝をもつ光学部品の実装基板として、平坦な表面をSiO<sub>2</sub>などの誘電体で被覆した(100)面Si基板を用いる方法について、図39、40を参照して説明する。

【0014】図39は、光ファイバと光学部品のみを実装する基板の製造方法を示すものである。以下の工程では左右に2、前後に1の2個分に相当する実装基板の加工工程を示している。

【0015】なお、本発明の基板の構造および加工方法に関しては、光集積回路上の光ファイバの後方に光半導体素子が配置される場合と、光集積回路上の光ファイバの後方に光導波路が配置される場合と、さらに光集積回路上の光ファイバの後方に光半導体素子と光導波路の両方が配置される場合の3つの場合があるので、以下に光ファイバの後方に光学部品が配置される場合、光ファイバの後方に光導波路が配置される場合、光ファイバの後方に光導波路と光学部品の両方がこの順序で配置される場合について説明する。

【0016】図39の従来例では、光ファイバと光学部品、具体的には光ファイバとエッジ光入射形ホトダイオードあるいは光ファイバと半導体レーザを実装する場合の基板の構造と基板の加工方法について説明する。

【0017】まず、(100)面Si基板1aを準備し、Si基板1a上にSiO<sub>2</sub>膜3aを形成する(図39(A))。ホトリソグラフィにより、SiO<sub>2</sub>膜3aにエッチング用窓3wを形成する(図39(B))。

【0018】次に、KOH(水酸化カリウム)水溶液でSi基板1aを異方性エッチングして(111)側面を有するV溝2aを形成する(図39(C))。次に、V溝の後方のSiO<sub>2</sub>膜3a上に光学部品をボンディングするためのパッド5や配線5bを形成して、光学部品を実装するための基板(図40(A))を形成する。図40(B)は、図40(A)の部分断面図である。

【0019】以上が従来の実装基板と基板加工の例であるが、しかしこのように平坦な表面をもつSi基板1a、SiO<sub>2</sub>膜3aなどの誘電体で被覆した基板を使用して、従来のプロセスでV溝2a形成とボンディングパッド5などの形成を行なう場合には、以下のような問題がある。

【0020】第1に、光学部品をボンディングするためのボンディングパッド5と対向するV溝2aの先端部分2bの溝壁が斜めに立上りがってくる欠点がある。図41(A)は実装基板の斜視図、図41(B)は図41

(A)をEの方向から見た場合のV溝2aの先端部分のみを拡大したものである。ここで8は光ファイバ7から放射される光束、61は光学部品6に形成されたボンディングパッド、62は光学的活性部である。

【0021】このように、面2bが斜めになると、V溝

2 a にはめ込んだ光ファイバ 7 の下端が斜面 2 b に接するため、光ファイバ端を光学部品 6 に近づけることが困難になる。すなわち、図 4 1 ( B ) に示した Z が大きくなる。そのため、光結合損失が大きくなる。

【 0 0 2 2 】第 2 に、SiO<sub>2</sub> 膜 3 a の厚さを厚くできないため、配線の静電容量が大きくなり、応答速度が低下する問題がある。配線は SiO<sub>2</sub> 膜 3 a 上に行われるので、静電容量を低下させるためには、SiO<sub>2</sub> 膜 3 a はできるだけ厚い方がよい。

【 0 0 2 3 】しかし、SiO<sub>2</sub> 膜 3 a は、エッチングマスクとしても使用されるため、V 溝エッチングの際に溝幅の精度を向上させるためには、できるだけ薄く形成するのが好ましい。そのため、配線の静電容量を小さくすることは困難である。

【 0 0 2 4 】次に、図 4 2 を参照して光ファイバの後方に光導波路を配置する場合の基板の加工方法を説明する。たとえば、図 4 2 ( A ) に示すように、Si 基板 1 a 上に SiO<sub>2</sub> で構成されたコア 4 2 a とコアを取り囲むクラッド 4 1 a、4 3 a を有する矩形 SiO<sub>2</sub> 導波路などを形成する。

【 0 0 2 5 】SiO<sub>2</sub> のコア 4 2 a に沿った矩形の一部を図 4 2 ( B ) に示すように Si 基板に達するまで除去する。その後、図 4 2 ( C ) に示すように、Si 基板をエッチングして ( 1 1 1 ) 面の側壁を持つ V 溝を形成する。

【 0 0 2 6 】図 4 2 に示す構造で、光ファイバとの結合効率の高いシングルモード導波路を実現しようとする、SiO<sub>2</sub> 膜 4 1 a、4 3 a の厚さの和は、20 μm 程度になる。このような厚い膜に V 溝を形成するための窓を形成すると、V 溝の寸法精度が悪くなりやすい欠点がある。

【 0 0 2 7 】次に、図 4 3 を参照して V 溝が形成された基板に有機高分子材料をコーティングし、エッチングして導波路を形成する方法について説明する。図 4 3

( A ) に示すように、SiO<sub>2</sub> 3 a をマスクにして Si 基板 1 a に V 溝 2 a を形成する。次に、下側のクラッド層になる高分子樹脂 4 1 とコア層になる高分子樹脂 4 2 を塗布ベークする ( 図示せず ) 。

【 0 0 2 8 】そして、コア層になる高分子樹脂 4 2 上にストライプ状のマスクを形成し、酸素プラズマなどでマスクのない部分のコア層になる高分子樹脂 4 2 を除去する ( 図示せず ) 。そして、上側クラッド層になる高分子樹脂 4 3 を塗布する。この結果形成された導波路構造が図 4 3 ( B ) に示すものである。

【 0 0 2 9 】次に、再び高分子樹脂 4 3 の表面の奥側にマスクを形成し、酸素プラズマで処理して図 4 3 ( C ) のような構造を形成する。しかし、この方法では図 4 3 ( B ) に示すように、V 溝 2 a 中に高分子樹脂 4 1 が入り込んでしまう。125 μm のクラッド径をもつファイバを固定するには約 100 μm の深さの V 溝が形成され

るため、V 溝に入り込んだ高分子樹脂 4 1 を除去することも非常に難しくなる欠点がある。

【 0 0 3 0 】V 溝に有機高分子材料が入り込むことを防止するために、図 4 2 に示すように、導波路を形成後 V 溝を形成する方法も考えられるが、有機高分子材料は、Si に V 溝を形成する際に使用する KOH 水溶液に侵されるため、この方法を用いることは不可能である。

【 0 0 3 1 】たとえ、KOH 水溶液に侵されない材料を使用する場合でも、溝の精度の悪化や光結合効率の悪化が生じることは、図 4 2 の従来例で既に説明したとおりである。

【 0 0 3 2 】さらに、第 1 の問題点を解決する方法として、特開平 1 - 9 4 3 0 5 号および特開平 1 - 1 2 6 6 0 8 号で開示されている技術がある。特開平 1 - 9 4 3 0 5 号の開示技術は、基板を両面からエッチングするものであるため、比較的薄い基板を使用しなければならないという基板の厚さの制限を受ける欠点がある。また、貫通穴と V 溝を同時にエッチングするので、V 溝の幅や深さの制御が難しくなり、精度が悪化する欠点がある。

【 0 0 3 3 】特開平 1 - 1 2 6 6 0 8 号では、ドライエッチングやマイクロラッピングなどの機械研削加工による溝形の技術が開示されているが、ドライエッチングは加工速度が遅い、このような深い溝形成に適したマスクの作製が困難、という欠点を有する。

【 0 0 3 4 】機械研削加工によって垂直な壁面を持つ溝を加工する方法を用いる場合には、既に V 溝などが形成された基板上に V 溝との位置関係を精度よく規定して溝加工を行なう必要があるため、エッチング法に比べて精度を出すことが困難であるなどの欠点を有する。

【 0 0 3 5 】第 2 の問題点を解決するために、配線の静電容量を低減させる手段として、配線部分に感光性ポリイミド膜を形成することなどが考えられる。しかし、ファイバの固定に用いるような比較的深い V 溝を形成後、感光性ポリイミドなどを塗布すると、現像処理によって V 溝中の感光性ポリイミドなどを除去することがほとんど不可能となる。このため、配線部分のみに感光性ポリイミド膜を形成することはできない。

【 0 0 3 6 】光ファイバと光学部品を光学的に結合させるための比較的組立が容易で、小型化と薄型化が期待される技術として、特開平 2 - 9 1 8 3 号がある。これは、Si の V 溝の先端の斜面による光の反射を利用する組立技術である。しかし、この方法においても前述の問題点と同じように、V 溝周辺でホトレジストが盛り上がってしまい、マスクの位置が目的に位置から大きくずれるなどの問題点がある。

【 0 0 3 7 】さらに、V 溝を形成する際に、エッチング用マスクとして厚い SiO<sub>2</sub> 膜を使用すると V 溝の寸法精度が悪くなり、逆に薄くすると配線の静電容量が大きくなって周波数特性が悪化する。

【 0 0 3 8 】またこの方法では、V 溝を形成した Si 基

板上に光学部品を組み込んだ基板を接着剤を使用して貼り合わせる工程があるが、接着剤がV溝先端部などに気泡と共に入り込み、結合効率が著しく低下すること、光学部品の位置精度が悪いため、ウエハスケールでの位置合わせが困難であることなどの問題点がある。

【0039】次に、図39、図40、図41、図42、図43に示す従来の技術を使用して、光ファイバと光導波路と半導体レーザ等の光学部品の3つを実装する場合の問題点について説明する。

【0040】既に説明したように、導波路とV溝をひとつの基板上に形成する際、導波路に有機高分子を使用すると、V溝に入り込んだ有機高分子の除去が困難になる。一方、SiO<sub>2</sub>導波路を使用すると、精度が悪くなることによる光結合特性の悪化を許容すれば、V溝と導波路をひとつの基板上に形成することが可能になる。

【0041】しかし、光ファイバ（すなわちV溝）と光導波路と光学部品用のボンディングパッドの3者を形成する場合には、次のような新たな問題を生じる。SiO<sub>2</sub>導波路の形成には、基板上に堆積した多孔質状のSiO<sub>2</sub>を1000℃以上に加熱してガラス化する工程が含まれる。そのため、導波路を形成した後にボンディングパッドを形成しなければならない。

【0042】ボンディングパッドの形成プロセスには、ホトレジストをスピンコーティングする工程が含まれる。一方、シングルモードファイバとの結合が容易で、伝搬損失が小さい導波路の厚さは40μm以上になる。そのため、導波路を形成後にボンディングパッド形成プロセスを行なうと、ホトレジストをコーティングしたときに、図44に示すように導波路41a、42a、43aの先端部にホトレジスト21が詰まってしまう。

【0043】そのため、導波路に接近した部分にボンディングパッドを形成することが困難になる問題がある。このような問題のため、従来は光ファイバと光導波路と半導体レーザ等の光学部品の3者の無調整実装は行なわれなかった。

【0044】

【発明が解決しようとする課題】 前述のように、光ファイバ固定用のV溝を有する基板上で光ファイバと光半導体デバイス等の光学部品、あるいは光ファイバと導波路、あるいは光ファイバと導波路と光半導体デバイス等の光学部品とを光学的に結合する方法において、基板がV溝を有すること、あるいは導波路を形成した後にKOH水溶液を使用してV溝を形成することに起因する諸問題が生じる。

【0045】たとえば、光ファイバ固定用のV溝のみを有する基板上に、光半導体デバイス等の光学部品をフリップチップボンディングするためのボンディングパッドを形成しようとしても、高い位置決め精度と精密な転写形状を持つボンディングパッドを形成できないという問題がある。

【0046】これは、V溝を形成した基板の表面にホトレジストを塗布した際に、溝の周辺のホトレジストが盛り上がり、マスク合わせを行なう際のマスクの密着性が悪くなることと、露光、現像の工程で、他の領域との間に条件差が生じることに起因している。

【0047】この問題を解決するためには、V溝の周辺でホトレジストが盛り上がるのを防止する必要がある。また、光ファイバと光導波路の光結合を行なうために、有機高分子導波路付きの基板にV溝を形成することは困難であり、SiO<sub>2</sub>導波路付き基板にV溝を形成しようとすると、V溝の幅と深さの精度が悪くなる問題がある。

【0048】逆に、V溝付きの基板に導波路を形成すると、V溝に入り込んだ導波路材料を除去することが困難になる問題がある。また、ひとつの基板上に、光ファイバ固定用のV溝と光導波路と光半導体デバイス等の光学部品をフリップチップボンディングするためのボンディングパッドの3者を組み込む場合には、次のような新たな問題が生じる。

【0049】有機高分子導波路を使用できないので、V溝精度のある程度の悪化を許容して、SiO<sub>2</sub>導波路を使用すると、新たにボンディングパッドの位置を導波路先端に接近させることが難しくなると共に、ボンディングパッドのプロセス精度が悪くなる問題を生じる。

【0050】次に、V溝先端の斜面による光の反射を利用して光結合する組立技術においては、上記のような問題の他に、V溝を形成したSi基板上に光学部品を組み込んだ基板を接着剤を使用して貼り合わせる際に、接着剤が気泡等と共にV溝先端部分等に入り込み、光結合特性を著しく低下させる問題もある。

【0051】本発明の目的は、基板上にV溝が存在することにより生じる上記の諸問題を解決するための集積化光装置の構造と製造方法を提供することである。

【0052】

【課題を解決するための手段】 本発明は、溝が形成された基板表面に光学部品を構成する層を積層するか、あるいはバターニングのためのホトレジストを形成する工程を含む光集積化装置の製造方法において、この工程に先立ち、第1の手段として平板状部材をもって溝を有する基板表面を覆う工程、または第2の手段として充填部材を溝の内部に充填することで溝の表面を平坦化する工程を有することを特徴とする。

【0053】

【作用】 上記第1あるいは第2の手段によれば、溝が形成された基板の表面が平坦化されるため、溝の内部に光学部品を形成する材料が侵入したり、あるいはホトレジストを塗布した際に溝周辺における表面張力による膜厚の不均一が生じることがなくなる。

【0054】なお、第2の手段で採用された充填部材は、後の工程で光ファイバを収容するための溝が露出す



るように除去されるが、一方、第 1 の手段で採用された平板状部材は、その後の工程で溝が露出するように除去してもよいし、そのまま残してもよい。

【0055】また、この平板状部材は溝の表面を平坦化する他に、種々の活用法があるが、これについては以下の実施例で明らかにする。

【0056】

【実施例】溝を有する基板表面を平板状部材で覆う第 1 の手段を用いた実施例 1 について、図 1 ～ 8 を参照して説明する。

【0057】本実施例の 1 の説明では、左右に 2、前後に 1 の 2 個分に相当する実装基板の加工工程を示しているが、実際にはこのような基板チップが前後、左右に繰り返されている。

【0058】図 1 (A) は、厚さ  $400\mu\text{m}$  の (100) 面 Si 基板 1 a である。Si 基板 1 a の表面に熱酸化で  $300\text{nm}$  の  $\text{SiO}_2$  膜 3 a を形成する (図 1 (B))。  $\text{SiO}_2$  膜の代りに SiN 膜を使用してもよい。続いて、スピンコーティングで厚さ  $200\text{nm}$  のネガ型ホトレジスト膜 2 1 を形成し、 $200^\circ\text{C}$  でベーキングする (図 1 (C))。

【0059】ガラス表面にクロム 2 2 a でパターンが形成されたマスク 2 2 を使用して紫外線露光する (図 1 (D))。マスクのパターンは図 1 (E) に示す通りである。なお、図 1 (E) とは黒と白が反転したマスクを使用し、レジストにポジ型レジストを使用してもよい。ここでマスクのストライプの幅  $W1$  は  $136\mu\text{m}$  である。

【0060】レジストの現像を行なう (図 1 (F))。ホトレジストをマスクにしてバッファード弗化水素酸で  $\text{SiO}_2$  膜 3 a をエッチングする (図 1 (G))。エッチング後の  $\text{SiO}_2$  が除去された窓の開口幅は  $139\mu\text{m}$  である。ホトレジストを除去する (図 1 (H))。

【0061】KOH を使用してエッチングし、V 溝 2 a を形成する (図 2 (A))。この時図示していないが、Si 基板 1 a の側面および下面にも  $\text{SiO}_2$  膜が形成されているため、上面の V 溝の部分のみがエッチングされる。この結果形成された V 溝 2 a を上から見たものが図 2 (B) である。

【0062】なお、ホトリソグラフィの工程での位置合わせを容易にするため、位置合わせ用のマークを Si 基板 1 a 上に作製しておいてもよい。熱酸化で厚さ  $6\mu\text{m}$  の  $\text{SiO}_2$  膜 3 b を形成した Si 基板を準備し、V 溝 2 a を形成した Si の  $\text{SiO}_2$  膜 3 a の表面に重ねる (図 2 (C))。約  $800^\circ\text{C}$  に加熱する (図 2 (D))。これにより、 $\text{SiO}_2$  膜 3 a と 3 b は強固に接着する。

【0063】研磨剤を使用して Si 基板 1 b の表面を研磨して、Si 基板 1 b を  $10\mu\text{m}$  まで薄くする (図 2 (E))。KOH を使用して Si 基板 1 b をエッチングし除去する (図 2 (F))。エッチングの際、V 溝穴 2

a はワックスなどで塞いでおく。次に、ワックスを除去する。ここまでの工程で図 2 (G) に示す基板材料 4 が形成される。

【0064】図 3 (A) は、基板 4 を横方向から見た図である。以下の工程説明ではこの方向から見た図を使用する。表面にホトレジスト 2 1 を塗布する (図 3

(B))。次に、上面から見て図 3 (C) になるようなパターンでレジストを除去する。○の部分および○から延びる平行な線の部分 2 1 d がレジストが除去された部分である。この部分はボンディングパッドおよび配線層が形成される部分である。

【0065】図 3 (D) は、図 3 (C) の D-D 断面を側面から見た図である。図 3 (D) 以降については、図 3 (C) の D-D 断面に対応する断面図を使用して説明する。

【0066】次に、基板 4 上に Ti 5 1 a を  $100\text{nm}$ 、Au 5 3 a を  $100\text{nm}$  蒸着する (図 3 (E))。ここで、図 3 (E) では、右側の一段下がった Ti 5 1 a と Au 5 3 a の後方にホトレジストおよびホトレジスト上の Ti 5 1 a と Au 5 3 a が見えるはずであるが、図が煩雑になるので省略した。図 3 (E) では、図 3 (C) の D-D 切断面に接する部分のみを示している。次にレジストを除去する (図 3 (F))。図 3 (B) ～ 図 3 (F) の工程は、いわゆるリストオフとよばれる手法である。

【0067】次に、プラズマ CVD 法により表面に SiN 膜 3 c を形成する (図 4 (A))。厚さは  $300\text{nm}$  である。次に、再びホトレジスト 2 1 を塗布する (図 4 (B))。上面から見て図 4 (C) のパターンになるようにレジストに穴を開ける。

【0068】ここで点線で示した○と○から伸びる平行な線とは図 3 (B) ～ 図 3 (F) で形成された Ti 5 1 a と Au 5 3 a 膜のパターンである。実線で示した○は SiN 膜 3 c にコンタクトホールを開けるためのレジストの窓である。図 4 (D) は図 4 (C) を側面から見たものである。次に SiN 膜 3 c に穴を開けた後、ホトレジストを除去する (図 4 (E))。

【0069】図 5 (A) は SiN 膜 3 c に開けられた窓のパターンを示すものである。実線の○が窓のパターンを示している。次に、再びホトレジスト 2 1 を  $1.5\mu\text{m}$  塗布する (図 5 (B))。ホトマスクを使用して紫外線露光を行ない、右部分のホトレジストを除去する (図 5 (C))。ここで、ホトレジストの紙面に垂直な方向の断面形状は同じである。

【0070】Ti 5 1 および Pt 5 2 を蒸着する (図 5 (D))。Ti と Pt は全面に蒸着される。厚さは Ti が  $100\text{nm}$ 、Pt が  $30\text{nm}$  である。次にホトレジスト 2 1 を除去する (図 5 (E))。ホトレジスト 2 1 の上の Ti と Pt は除去されるが、右側の SiN 膜 3 c の上の Ti 5 1 と Pt 5 2 は残る。この電極は後の工程で



金メッキ用電極として使用される。

【0071】図6 (A) は、図5 (E) のSiN膜3cに開けられた穴の部分拡大した図である。以下、図6 (D) までを参照して、ボンディングパッドの形成方法を説明する。厚さ3  $\mu$ mのホトレジスト21を塗布し、ホトレジスト21に穴21gを開ける (図6 (B))。

【0072】次に、Ti51とPt52を電極にして金53をメッキする (図6 (C))。金53の厚さは2  $\mu$ mである。これによりボンディングパッドに相当する部分が形成される。

【0073】ホトレジスト21を除去し、スパッタによりTi51、Pt52、金53をエッチングする。金はTi、Ptに比べてエッチング速度が遅いので、金53の部分のみを残すことができる (図6 (D))。

【0074】この結果、Ti51とPt52とAu53が積層したボンディングパッド5が形成される。こゝまでは工程説明のため51、52、53を区別して図に示したが、以下では図が煩雑になるのを避けるため51、52、53を5で代表させる。さらに、これまではTi51、Pt52、Au53の高さを強調していたが、図7 (A) 以下では薄いパッド5で示す。

【0075】図7 (A) は、図6 (D) までの工程を終了した基板の全体図である。この基板にホトレジスト21を塗布する (図7 (B))。ホトマスクを用いて紫外線を露光し、ホトレジスト21を現像して左半分のホトレジストを除去する (図7 (C))。ホトレジスト21をマスクにしてバッファード弗化水素酸でSiN膜3cとSiO<sub>2</sub>膜3b、3aをエッチングする (図7 (D))。

【0076】これによりV溝2aが露出する。ホトレジスト21を除去して図8 (A) のような実装基板が製作される。ボンディングパッド5を利用して光学部品を実装し、V溝2aでファイバの位置決めを行なう (図8 (B))。

【0077】図8 (B) は、図8 (A) をEの方向から見た図である。図8 (A)、図8 (B) において、6は半導体レーザ、ホトダイオードなどの光学部品、61は光学部品に形成されたボンディング用パッド、62は光学的な能動領域、7は光ファイバ、8は光ファイバから放射される光、Zはファイバ先端と光学部品の距離である。

【0078】本実施例1によると、V溝2aを有する基板1a上にボンディングパッドなどをパターンニングする際に、V溝に蓋がされて表面が平坦になっているため、ホトレジストを均一に塗布することができる。そのため、ボンディングパッドなどの位置を高精度に形成することが可能となる。

【0079】図8 (B) に示すように、V溝は光部品の下にまで延在して形成されており、V溝終端とボンディングパッドとの境界部分に斜面がないため、ファイバと

光学部品との距離Zを小さくすることができる。その結果光結合効率が向上する。

【0080】ホトダイオードとして吸収層の厚さが5  $\mu$ m、幅が50  $\mu$ mのエッジ入射型ホトダイオードを使用した場合、従来はファイバとホトダイオード端面間の距離が約40  $\mu$ m以上であったため、結合効率は40%以下であった。

【0081】これに対し、上述の基板4と製造方法を使用したことによって、ファイバとホトダイオード端面間の距離を5  $\mu$ m以下にすることが可能となり、結合効率が72%まで向上した。

【0082】V溝形成用のマスクに使用するSiO<sub>2</sub>膜3aを300nmまで薄くしたので、幅と深さの精度の高いV溝が実現された。一方、SiO<sub>2</sub>膜3a上のSiO<sub>2</sub>膜3bを6  $\mu$ mにし、この上に配線パターン5bを設けたので、SiO<sub>2</sub>膜3aだけの場合に比べて静電容量が1/20以下に低減され、高速動作が可能となった。

【0083】V溝2aの上に形成した誘電体膜3aと3bをSiO<sub>2</sub>にしたので、可視光に対して透明であった。そのため、ボンディングパッドを形成する際のマスク合わせをV溝2aのエッジやSi基板1a上の位置合わせマークをシースルーで見ながらマスク合わせをすることが可能となった。そのため、精度の高いマスク合わせが実現された。

【0084】本実施例には示さないが、ボンディングパッド5の周辺全面に金属膜を形成して熱放散を向上させることが可能である。また、薄膜ダイヤモンドなどをコーティングするとさらに熱放散特性が向上する。

【0085】次に、V溝を基板の中央部のみに形成する実施例2について、図9、図10を参照して説明する。実施例1ではSiO<sub>2</sub>膜3aと3bの下にV溝をSi基板4の端から端まで形成していたが、実施例2では基板の中央部のみにV溝2aを形成する。

【0086】これは実施例1における図1 (D) に示す工程で、クロム22aのパターンが中央部のみに形成されたマスクを使用することによって実現される。以下に実施例1とは異なる部分を中心に本実施例の製造工程を説明する。図9、図10に示していない部分の工程は、実施例1と同様である。

【0087】まず、基板にホトレジストを塗布し、紫外線露光する工程は実施例1と同様である。ただし、ホトマスク22のパターンは図9 (A) のようになり、実施例1とは異なる。この結果形成される基板上のV溝パターンは図9 (B) のようになる。

【0088】図9 (B) のようなV溝2aが形成されたSi基板1aとSiO<sub>2</sub>膜3bが形成された他のSi基板1bを貼り合わせる (図9 (C))。Si基板1bを研磨とエッチングで除去したものが図9 (D) である。

【0089】図10 (A) はこの基板の側面図である。

この基板に、実施例 1 と同様の工程でボンディングパッド 5 が形成され、図中左半分の SiO<sub>2</sub> 膜 3 a と 3 b を除去する。この工程終了後の基板断面図を図 10 (B) に示す。

【0090】最後に図 10 (C) に示す線 F に沿って切断すると、実施例 1 で作成した図 8 (A) に示す基板とほぼ同様の基板が完成する。実施例 2 で作製した基板が、実施例 1 で作製した基板と異なるのは、V 溝の後方の端部のみである。なお、先に述べたように、上述以外の加工工程は実施例 1 と同様である。

【0091】実施例 2 の方法が実施例 1 に対して改善されたのは、実施例 1 の図 2 (F) に示すシリコン 1 b をエッチングする工程において、V 溝 2 a をワックスなどで塞ぐ必要がなくなることである。

【0092】さらに、図 10 (C) に示した V 溝の先端部 2 b をファイバの先端に当らない範囲でできるだけ図の左側にもって行くことにより、空洞部が少なくなるので上に載せる光学部品の熱放散特性が向上する効果もある。

【0093】次に、V 溝を有する基板の表面にモノシリックの IC を形成する実施例 3 を図 11 ~ 図 14 を参照して説明する。本実施例は、実施例 1 および実施例 2 において完全に除去された貼り合わせられた Si 基板 1 b の一部を残し、この表面にモノシリックの IC 6 b を形成するものである。

【0094】さらに、本実施例では、IC 上に直接光学部品（具体的にはホトダイオード）をフリップチップボンディングするためのボンディングパッド 5 b をも形成した。

【0095】なお、ここでは実施例 1 および実施例 2 とは異なる部分を中心に本実施例の製造工程を説明する。図 11 ~ 図 14 に示していない部分の工程は、実施例 1 および実施例 2 と同様である。

【0096】図 11 (A) は、実施例 1 における図 2 (D) と同様であり、V 溝 2 a 付き Si 基板 1 a の上に SiO<sub>2</sub> 膜 3 b 付き Si 基板 1 b を貼り合わせたものである。本実施例では SiO<sub>2</sub> 膜 3 b の厚さは 3 μm である。次に、貼り合わせた Si 基板を厚さが約 10 μm になるまで研磨する（図 11 (B)）。

【0097】次に、Si 層 1 b を残すために、CP-8 と呼ばれるエッチング液（HF: HNO<sub>3</sub>: CH<sub>3</sub>COOH: I<sub>2</sub> = 1 ml: 5 ml: 2 ml: 9.6 mg）を使用し、Si がエッチングで全て除去される前にエッチングを停止させる。残った Si 層 1 b の厚さは 3 μm である。これ以外は実施例 1 における図 1 (A) から図 2 (G) までの工程と同様である。その結果得られた基板が図 11 (C) である。この基板が光電子集積回路用基板 4 となる。

【0098】図 12 (A) は、図 11 (C) を側面から見たものである。次の工程では、貼り合わせられ、薄膜

化された Si 1 b のうち IC を形成する部分（右半分）以外の Si 1 b をホトリソグラフィとエッチングにより除去する（図 12 (B)）。

【0099】通常の Si-IC のプロセスを使用して IC 6 b を形成する（図 12 (C)）。次に IC 6 b 上に、実施例 1 と同様の工程で配線メタル 5 b とボンディングパッド 5 d を形成する（図 12 (D)）。そしてさらにホトレジスト 2 1 を塗布する（図 12 (D)）。

【0100】IC 部分をホトレジスト 2 1 で保護して V 溝 2 a を露出させる部分の SiN 膜 3 c と SiO<sub>2</sub> 膜 3 a、3 b を除去する（図 12 (E)）。ホトレジストを除去して図 13 (A) に示す構造が完成する。ここで、図 13 (B) は、図 13 (A) を図示した E の方向から見たものである。

【0101】なお、図 14 に示すように、光学部品 6 用のボンディングパッドを SiO<sub>2</sub> 上に形成し、その後方（図 14 では右側）に Si-IC を配置するような構造としてもよい。なお、図 14 ではパッド-パッド間を金線 5 c で接続している。図 14 で 5 は光学部品 6 をボンディングするためのパッド、5 e は光学部品 6 と IC 6 b を接続するためのパッド、5 f は外部回路やパッケージのリード線と接続するためのパッドである。

【0102】実施例 3 においては、Si-IC 6 b を集積化したので小型化が可能になる。Si-IC を製作する際、深い V 溝のない、通常の IC の製造に用いられるようなほぼ平坦な表面をもった基板を使用できるので、プロセスが容易になる効果もある。SiO<sub>2</sub> 上に形成した SOI 構造の IC は、寄生容量が小さいので、高速動作が可能となる効果もある。ホトダイオードを Si-IC 6 b に直接ボンディングする場合には、配線による周波数特性の劣化が小さくなる効果もある。

【0103】下側基板 1 a には V 溝加工に適した Si を使用し、上側基板 1 b には IC に最適な Si 基板を使用するといった素子に最適な Si 材料を使用することにより、安価で高性能な光ハイブリッド IC が実現される効果がある。

【0104】なお、図 13 において、上側基板 1 b に (110) 面の Si 基板を使用すると、異方性エッチングで垂直に切り立ったエッチングが可能であること、上側基板 1 b に他の半導体材料、たとえば GaAs や InP などの化合物半導体材料を使用すると、この部分にモノリシックに光半導体素子を形成可能なことはいうまでもない。

【0105】次に、本発明の実施例 4 による有機高分子材料を使用した光導波路の製造方法を図 15 ~ 図 16 を参照して説明する。まず、図 2 (G) に示す基板 4 を実施例 1 と同様の方法で作製する。ここで、SiO<sub>2</sub> 膜 3 a の厚さは 300 nm、SiO<sub>2</sub> 膜 3 b の厚さは 3 μm、V 溝 2 a の間口の幅は 144.6 μm である。

【0106】V 溝 2 a にクラッド径 125 μm の光ファ

イバをはめ込むと、基板 1 a の表面から見た光ファイバの中心の高さは  $6 \mu\text{m}$  である。なお、図 1 2 ( G ) では基板 4 の端から端まで V 溝を形成したが、実施例 2 のように V 溝は途中で止ってもよい。

【 0 1 0 7 】次に、図 2 ( G ) に示す基板 4 に 2 層の有機高分子材料 4 1、4 2 を塗布する ( 図 1 5 ( A ) )。高分子材料にはポリメチル・メタクリレート ( PMMA ) を使用し、塗布にはスピンコーティングを使用した。有機高分子材料 4 1、4 2 の厚さは両方とも  $2 \mu\text{m}$  である。4 2 にはポリベンジル・メタクリレートを添加して屈折率を高くしている。次に、ベーキングして溶剤を蒸発させ、固化させる。

【 0 1 0 8 】表面に SiO<sub>2</sub> 膜 3 c を形成し、ホトリソグラフィにより SiO<sub>2</sub> 膜 3 c のパターンを光導波路のパターンと同様のパターンになるように加工する ( 図 1 5 ( B ) )。SiO<sub>2</sub> 膜 3 c をマスクにして酸素プラズマを用いて、有機高分子材料 4 2 をエッチングし、3 次元導波路を形成する ( 図 1 5 ( C ) )。有機高分子材料 4 2 は光導波路のコアである。

【 0 1 0 9 】次に、SiO<sub>2</sub> 膜 3 c を除去した後、上側のクラッド層としてポリメチル・メタクリレート 4 3 を塗布する。塗布とベーキングの工程を 3 回繰り返して行い、 $6 \mu\text{m}$  の上側クラッド層を形成する ( 図 1 5 ( D ) )。

【 0 1 1 0 】次に、表面に SiO<sub>2</sub> 膜 3 d を形成し、ホトリソグラフィにより SiO<sub>2</sub> 膜 3 d を図 1 6 ( A ) のようにパターン化する。次に、酸素プラズマでエッチングして導波路の端面を形成すると共に、SiO<sub>2</sub> 膜 3 b を露出させる ( 図 1 6 ( B ) )。

【 0 1 1 1 】次に、SiO<sub>2</sub> 膜 3 d を除去した後、バックファード弗酸で SiO<sub>2</sub> 膜 3 b を除去して V 溝 2 a を露出させる ( 図 1 6 ( C ) )。以上の工程で V 溝付きの基板上に有機高分子導波路が形成される。

【 0 1 1 2 】上記の工程で光導波路を作製すると、高分子光導波路を塗布する際に、基板 4 の上面は平坦であるため、均一に有機高分子材料を塗布することができる。さらに、V 溝は、SiO<sub>2</sub> 膜で覆われているため、V 溝に有機高分子材料が入り込むこともない。

【 0 1 1 3 】本実施例においては、V 溝を形成した Si 基板上に、SiO<sub>2</sub> 膜を有する他の Si 基板を SiO<sub>2</sub> 面で貼り合わせて作製した基板を使用した。Si に限らず他の方法で作製された同様の基板を使用することも可能である。

【 0 1 1 4 】本実施例の応用として、図 1 7 ( A ) に示すように、光導波路を形成する基板 4 の SiO<sub>2</sub> 上に光半導体素子や IC をボンディングするためのボンディングパッド 5 a や配線パターン 5 b を形成しておき、図 1 7 ( B )、図 1 7 ( C ) に示すように、実施例 4 と同様の方法でこの基板 4 の上に有機高分子導波路を形成するようにしてもよい。

【 0 1 1 5 】このような光導波路付き基板に、低温のハンダなどを使用して光半導体素子や IC をボンディングすれば光導波路付きモジュールを構成することが可能となる。

【 0 1 1 6 】ただし、この方法で光導波路付きモジュールを作製する場合には、導波路形成後に V 溝上の SiO<sub>2</sub> 膜 3 b をエッチングする時に、ボンディングパッド 5 a および配線パターン 5 b の下の SiO<sub>2</sub> 膜 3 b を保護する必要がある。そのため、図 1 7 ( B ) に示すようにアルミナやシリコン窒化膜等の保護膜 4 5 を形成してある。

【 0 1 1 7 】具体的には、SiO<sub>2</sub> 膜 3 b の上に熱 CVD で Si 窒化膜 (  $100 \text{ nm}$  ) を形成し、図 1 7 ( B ) に示す 4 5 の部分のみ Si 窒化膜を残して、他の部分の Si 窒化膜を除去する。

【 0 1 1 8 】この Si 窒化膜の上にボンディングパッド 5 a や配線パターン 5 b を形成してプロセスすると、図 1 7 ( C ) の工程でボンディングパッド 5 a や配線パターン 5 b の下の SiO<sub>2</sub> 膜を保護することができる。

【 0 1 1 9 】次に、本発明の実施例 5 による SiO<sub>2</sub> を使用した光導波路の製造方法を図 1 8、図 1 9 を参照して説明する。まず、図 2 ( G ) に示す基板 4 を実施例 1 と同様の方法で作成する。ここで、SiO<sub>2</sub> 膜 3 a の厚さは  $0.3 \mu\text{m}$ 、SiO<sub>2</sub> 膜 3 b の厚さは  $2.7 \mu\text{m}$ 、V 溝 2 a の間口の幅は  $132 \mu\text{m}$  である。V 溝 2 a にクラッド径  $125 \mu\text{m}$  の光ファイバをはめ込むと、基板 1 a の表面から見た光ファイバの中心の高さは  $15 \mu\text{m}$  である。なお、図 2 ( G ) では基板 4 の端から端まで V 溝を形成したが、実施例 2 のように V 溝は途中で止ってもよい。

【 0 1 2 0 】次に、図 2 ( G ) に示す基板 4 に 2 層の SiO<sub>2</sub> 膜 4 1 a と 4 2 a を形成する ( 図 1 8 ( A ) )。SiO<sub>2</sub> の堆積にはスパッタ法を使用し、スパッタしたものをガラス化するために  $1000^\circ\text{C}$  で熱処理する。SiO<sub>2</sub> 膜 4 1 a、4 2 a の厚さは両方とも  $8 \mu\text{m}$  である。4 2 a には Ge を添加して屈折率を高くしている。

【 0 1 2 1 】表面にポリ Si 膜 3 c を形成し、ホトリソグラフィによりポリ Si 膜 3 c のパターンを光導波路のパターンと同様のパターンになるように加工する ( 図 1 8 ( B ) )。ポリ Si 膜 3 c をマスクにしてリアクティブ・イオンビーム・エッチング ( RIE ) 法を用いて、SiO<sub>2</sub> 膜 4 2 a をエッチングし、3 次元導波路を形成する ( 図 1 8 ( C ) )。SiO<sub>2</sub> 膜 4 2 a は光導波路のコアである。

【 0 1 2 2 】次に、ポリ Si 膜 3 c を除去した後、上側のクラッド層として SiO<sub>2</sub>、オーバークラッド 4 3 a を形成する。コア 4 2 a の上のオーバークラッド 4 3 a の厚さは  $11 \mu\text{m}$ 、コアの上部以外は  $19 \mu\text{m}$  である ( 図 1 9 ( A ) )。

【 0 1 2 3 】次に、表面にポリ Si 膜 3 d を形成し、ホ

トリソグラフィによりポリ Si 膜 3 d を図 1 9 ( B ) のようにパターン化する。次に、リアクティブ・イオンビーム・エッチング ( R I E ) 法を用いて端面を形成する。このとき、SiO<sub>2</sub> 膜 3 b もエッチングし、Si 基板を露出させる ( 図 1 9 ( C ) ) 。以上の工程で V 溝付きの基板上に誘電体光導波路が形成される。

【 0 1 2 4 】上記の工程で SiO<sub>2</sub> 光導波路を作成すると、V 溝エッチングの時の保護用 SiO<sub>2</sub> 膜 3 b を薄くできるので、精度の高い V 溝を形成することが可能となる。その後、V 溝には蓋がされ、平坦面上で光導波路を形成するので、光ファイバと光導波路との位置合わせ精度が向上し、光の結合効率が向上する。

【 0 1 2 5 】前記実施例までは、V 溝を覆っていた平板状部材を光ファイバ固定前に取り除く方法である。以下に説明する実施例は、V 溝を覆っている平板状部材をそのまま残し、V 溝の空洞部分に光ファイバを挿入し、V 溝端部の斜面をその反射面として利用する方法である。

【 0 1 2 6 】実施例 6 について、図 2 0 を参照して説明する。SiO<sub>2</sub> 膜 3、V 溝 2 a を備えたシリコン基板 1 a は、実施例 1 と同様の方法を用いて作製する。ただし、V 溝は光ファイバを完全に収容できる寸法とし、V 溝上の SiO<sub>2</sub> 膜 3 は後の工程でも除去しない。パンプ 6 1 a を使用してボンディングパッド 5 上にホトダイオード ( P D ) 6 a をフリップチップボンディングする。ホトダイオード 6 a は、光吸収領域 6 2 a、電極 6 3 a およびレンズ 6 4 a を有する。電極 6 3 a は電流ワイヤ 8 1 a によって配線 8 2 a に接続する。パッド 5 の直径は 6 0 μ m、光ファイバ 7 の直径は 1 2 5 μ m、V 溝 2 a の最上部の開口幅は 1 2 1 μ m、SiO<sub>2</sub> 膜 3 の厚さは 3 μ m、レンズ 6 4 a の直径は 8 0 μ m である。

【 0 1 2 7 】本実施例では、ボンディングパッド 5 を形成する際、基板表面が平坦なので位置決めを高精度に行うことができる。また、実施例 1 と同様に、V 溝の幅の精度向上、配線の静電容量の減少を図ることができる。

【 0 1 2 8 】次に、実施例 7 について図 2 1 を参照して説明する。図 2 1 に示す光半導体素子は、実施例 6 における光半導体素子の SiO<sub>2</sub> 膜 3 の上に Si 膜 1 b と SiO<sub>2</sub> 膜 3 e を積層している。実施例 1 の貼り合わせた Si を研磨する工程において、所望の厚さまで研磨した後、表面を熱酸化することによって、Si 膜 1 b および SiO<sub>2</sub> 膜 3 e を形成する。SiO<sub>2</sub> 膜 3 e 上には、実施例 6 と同様の方法でホトダイオード 6 a を載置する。

【 0 1 2 9 】1. 5 5 μ m の波長では Si は透明であるため、光は Si 膜 1 b を透過する。SiO<sub>2</sub> 膜 3 の厚さは 0. 2 4 μ m、Si 膜 1 b の厚さは 1 0 μ m、SiO<sub>2</sub> 膜 3 e の厚さは 3 μ m である。この場合、SiO<sub>2</sub> 膜 3 は、反射防止膜として機能する。なお、反射防止効果を必要としない場合には、SiO<sub>2</sub> 膜 3 を省略しても何等支障はない。さらに、SiO<sub>2</sub> 膜 3 e の厚さも反射防止膜として機能する厚さに選ぶと反射による損失をさら

に低下させることが可能となる。

【 0 1 3 0 】本実施例では、厚い Si 膜 1 b のために、V 溝 2 a の上の膜の機械的強度が大きくなる効果がある。また、Si 膜挿入による反射の増大は、SiO<sub>2</sub> 膜 3 - Si 膜 1 b の構造による反射防止の効果によって低減できる。

【 0 1 3 1 】熱酸化で形成する SiO<sub>2</sub> 膜は屈折率が安定しており、しかも厚さの制御が容易なので再現性良く反射防止膜を形成することができる。本実施例では、1. 5 5 μ m の光に対する反射防止のため、SiO<sub>2</sub> 膜 3 の厚さを 2 5 6 n m とした。

【 0 1 3 2 】次に、実施例 8 について、図 2 2 を参照して説明する。本実施例の特徴は、実施例 6 で使用した単位の P D 6 a の代りに、ウエハ状態の P D アレイ 6 c を使用することである。位置合わせにはマスクアライナを使用し、貼り合わせにはエポキシ系の接着剤を使用する。接着後点線 A に沿って切断し、V 溝 2 a に光ファイバを実装する。

【 0 1 3 3 】SiO<sub>2</sub> 膜 3 があるため接着剤が V 溝に入り込むことがなくなり、容易に V 溝 2 a を有する基板と P D アレイを有する基板 6 c を貼り合わせることが可能となった。ウエハスケールで位置合わせをすることができ、位置合わせが容易になる。

【 0 1 3 4 】次に、実施例 9 について、図 2 3 を参照して説明する。本実施例の特徴は、実施例 9 の V 溝を有する基板と P D アレイ基板 6 c との間に光学部品 6 d を挟み込むことである。

【 0 1 3 5 】光学部品 6 d としてガラス板を使用すると基板の補強の効果がある。また、レンズアレイを使用すると、光結合効率を向上させることが可能となる。本実施例では、P D アレイ 6 c と光学部品 6 d の位置合わせをマスクアライナで行うことができるので、高精度でウエハ全体の位置合わせを行うことが可能である。

【 0 1 3 6 】次に、実施例 1 0 による光半導体素子を図 2 4 に示す。本実施例の特徴は図 2 4 ( A ) において、SiO<sub>2</sub> 膜 3 の表面にホトレジストを使用したマイクロレンズ 9 a を形成することである。

【 0 1 3 7 】Si 基板 1 a、SiO<sub>2</sub> 膜 3、V 溝 2 a からなる基板は、実施例 1 と同様の方法で作製する。次に、スピンコーティングで SiO<sub>2</sub> 膜 3 の上にホトレジストを塗布する。次に、図 2 4 ( B ) に示すように、V 溝 2 a の端部の位置に整合させて、SiO<sub>2</sub> 膜 3 上にホトリソグラフィにより円形のレジストパターン 1 9 b を形成する。

【 0 1 3 8 】次に、2 0 0 ° C に加熱し、レジストを溶融させ表面張力によりレンズ 9 a を形成する ( 図 2 4 ( C ) ) 。レンズの直径はたとえば 2 5 0 μ m である。なお、レンズ形成はウエハ単位で行うことが可能である。

【 0 1 3 9 】次に、図 2 4 ( A ) に示すように、V 溝 2

aの空洞部分に光ファイバ7を挿入する。マイクロレンズ9aの前方(図24(A)では下方)に光学部品6aを適当な手段で固定する。実施例6のように、SiO<sub>2</sub>膜3上にボンディングパッドを形成し、光学部品6aをボンディングしてもよい。

【0140】本実施例では、直径250μmのマイクロレンズ9aを使用することにより、ファイバ側の基板と光学部品6aの距離を大きくしても光結合効率が低下しない効果が得られる。また、V溝2aの先端の斜めの面で反射される光の光軸位置は幾学的に決まるので、マスク合わせでレンズを形成すれば、V溝の先端の斜めの面で反射される光の光軸とレンズの光軸が自動的に一致する効果がある。

【0141】なお、本実施例のように、ホトリソグラフィで光軸合わせして、直接V溝の上にレンズを形成することが可能になったのは、V溝2aをSiO<sub>2</sub>膜3で覆った基板を使用したためである。

【0142】次に、実施例11について、図25を参照して説明する。本実施例の特徴は、図25(A)に示すように、SiO<sub>2</sub>膜3の表面にSiのエッチングを使用したマイクロレンズ9bを形成することである。まず、実施例7と同様の方法で、Si基板1a、SiO<sub>2</sub>膜3、Si膜1bおよびV溝2aからなる基板を準備する。次に、図25(B)に示すように、Si膜1b上のV溝2a端部に相当する位置に選択エッチングによりメサ13dを形成する。

【0143】次に、HF:HNO<sub>3</sub>:CH<sub>3</sub>COOHが1:2:1のエッチング液を使用してエッチングし、レンズ9bを形成する。この時、メサ13dの角の部分が速くエッチングされるため、図25(C)に示すようなレンズ9bを形成することが可能となる。

【0144】本実施例によっても、実施例10とほぼ同様の効果が得られる。なお、実施例10と同様の方法でSi膜1bの表面にホトレジストを使用してレンズを形成し、イオンミリング法でエッチングしてSiにホトレジストの形状を転写する方法でレンズを形成することもできる。

【0145】次に、実施例12について図26を参照して説明する。本実施例の特徴は、ガラス基板71aにパッド5と配線パターン82aを形成し、パンプ61aを使用してパッド5にPD6aをボンディングした後、PD付きガラス基板71aをファイバ固定用基板に貼り合わせることである。

【0146】図26(A)はPD6aをボンディングする工程、図26(B)はPD付きガラス基板71aを貼りつける工程、図26(C)はファイバ7を取り付けた状態を示す図である。

【0147】Si基板1a、SiO<sub>2</sub>膜3、V溝2aからなるファイバ固定用基板は、実施例1と同様の方法で作製したものである。なお、ガラス板とファイバ固定用

基板には直径が4インチのものを使用し、ウエハ単位で位置合わせし、紫外線硬化型の樹脂で接着する。位置合わせにはマスクアライナを使用する。

【0148】本実施例においては、ガラス板71aが配線基板とV溝2aを覆うSiO<sub>2</sub>膜3の補強材料の働きをする。さらに、一括位置合わせする際シースルーになるので、位置合わせが容易になる。また、ガラス基板71aは、紫外線を透過するので紫外線硬化接着剤の使用が可能となり接着工程を迅速に行うことができる。

【0149】また、ガラス上に電気配線すると、SiO<sub>2</sub>膜の上に配線する場合に比べて、配線の静電容量が低下し、高速動作が可能になる効果もある。なお、最初にガラス基板71aをファイバ固定用基板に接着し、後でPD6aをフリップチップボンディングしてもよい。この場合はPD6aをフリップチップボンディングする際の温度を、ガラス基板71aをファイバ固定用基板に接着する接着剤が耐える温度よりも低くする必要がある。さらに、単体のPD6aの代りにウエハ状のPDアレイを使用することもできる。

【0150】次に、実施例13について、図27を参照して説明する。本実施例の特徴は、実施例12で使用したガラス基板71aの代りにレンズを具備しているガラス基板72aを使用することである。

【0151】ガラス基板72aのV溝2a端部に相当する位置に、イオン交換法で高屈折率領域9cを形成する。高屈折率領域9cはレンズの役割を果たす。次に、ガラス基板72aに、実施例12と同様の方法で、PD6aをボンディングする。次に、PD付きガラス基板72aをファイバ固定用基板1aに実施例12と同様の方法で貼り合わせする。

【0152】レンズ9cの厚さは、PD6aの活性領域62aとレンズ9cによる集光点が一致するようにする。なお、PD6aは別の基板にボンディングしたものを適当な手段で所望の位置に固定し、光結合させてもよい。

【0153】本実施例によると、ガラス基板72aがSiO<sub>2</sub>膜3の補強とレンズ9cによる集光作用の効果を有するため、部品点数を少なくすることができる。本実施例では単体のPD6aを使用したのが、ウエハ状のPDとウエハ状のレンズ付き基板を使用してもよい。

【0154】次に、実施例14について、図28を参照して説明する。実施例6～実施例13ではV溝を有するSi基板にSiO<sub>2</sub>膜を形成した他のSi基板を貼り合わせてファイバ固定用基板を作製したが、本実施例では、SiO<sub>2</sub>膜を形成した他のSi基板の代りにバイレックスガラスを使用することを特徴とする。

【0155】まず、片面にTi/Auを蒸着したバイレックスガラスとV溝付きSi基板を準備する。バイレックスガラスのTi/Auを蒸着した面とは反対の面をV溝を有するSi基板1aに貼り合わせる。貼り合わせ

は、400℃に加熱した後、500Vの電圧を印加して静電引力を利用して行なう。

【0156】その後、蒸着したTi/Ptを除去し、新たにボンディング用パッド5を形成する。そして、バイレックスガラス73aの上に実施例6と同様の方法でPD6aをボンディングする。

【0157】なお、貼り合わせの後、貼り合わせたバイレックスガラスを100μm以下に薄く研磨すると、より高い光結合効率が得られる効果がある。本実施例によると、実施例6の効果の他に、実施例6に比べてV溝2aの上の平坦化部材の機械的強度が大きくなること、および電気配線の静電容量が小さくなることなどの効果がある。なお、この基板を実施例6の基板とみなして、実施例7～実施例13の構成を取ることとも可能なことはいうまでもない。

【0158】貼り合わせるガラス73aにイオン交換が可能なガラスを使用すると、イオン交換法を使用して貼り合わせたガラス73aにレンズや光導波路を形成することも可能である。

【0159】実施例6～実施例14では、V溝2aの端部斜面で反射された光ビーム8を基板面に対して垂直な光軸で示したが、実際には図29(A)に示すように、垂直にはならず、図示の場合、やや右に傾く。図29

(A)の中の $\theta = 54.7$ 度、 $\alpha = 9.7$ 度である。この傾きを補正するためには、図29(B)のように光ファイバ7の端面7bを斜めにすればよい。

【0160】この方法により、反射された光ビーム8の光軸を垂直に近づけることができ、PDの受光部の高さが変化しても光軸のずれを小さくすることができる。また、PDに組み込まれているレンズに対する入射角度が垂直に近付くので、収差が少なくなり、結合効率が向上する。本方法は、実施例6～実施例14の全てについても適用可能である。

【0161】次に、実施例15について、図30～図33を参照して説明する。本実施例は、面方位の異なるSi基板を重ねて2層構造にし、光ビームの反射面を基板に垂直な方向から45度傾けることによって、反射ビームの光軸を垂直にすることを特徴とする。

【0162】まず、図30を参照して本実施例で使用する基板の製造方法を説明する。まず、左右の面が(100)面であるインゴット1から、点線Fで示すように垂直に切断したウエハと点線Gで示すように $\beta$ だけ傾いた角度で切断したウエハを準備する。ここで、 $\beta$ は10.3度である。(100)面を有する図中左側のSi基板1aにはV溝2aを形成し、(100)面から10.3度オフした右側のSi基板1cには厚さ1μmの酸化膜3fを形成する。

【0163】次に、Si基板1aのV溝を有する面とSi基板1cのSiO<sub>2</sub>膜3fを有する面を貼り合わせる。貼り合わせた後、Si基板1cを50μmの厚さま

で研磨する(図31(A))。表面上に酸化膜3aを形成し、パターニングしてマスクを作成する。このマスクを用いてSi基板1cの一部をエッチングする(図31(B))。この工程により45度の反射面2zを形成する。この時のマスクのパターンを図31(C)に示す。ここで3aはマスク、3wは窓である。

【0164】次に、V溝2a上のSiO<sub>2</sub>膜3fをエッチングする。この時同時にSiO<sub>2</sub>膜3aも除去される(図31(D))。次に、厚さ6μmの酸化膜3bのついたSi基板1bを貼り合わせる(図31(A))。次に、Si基板1bを除去する(図32(B))。

【0165】光ファイバをはめ込む際にファイバのシース7aがSi基板1cから飛出するため、V溝2a先端から2500μmの位置より右側の部分のSiO<sub>2</sub>膜3hを除去する。なお、このSiO<sub>2</sub>膜3hの除去は、パッド5を形成後行なう。加工用のマスクにはプラズマCVDによるアモルファスSiを使用し、エッチングにはリアクティブイオンエッチングを使用する。

【0166】続いて、実施例6と同様の方法により、PD6aを基板上にボンディングする。PD6aをボンディングし、光ファイバ7を挿入した時の素子断面図を図33に示す。

【0167】本実施例によると、光が垂直に反射されるので、PD6aの高さが変化しても光軸のずれを防止することができる。次に、V溝の内部に充填部材を充填することによって、V溝の表面を平坦化する第2の手段について説明する。まず、実施例16について図34を参照して説明する。図中左側の図はV溝に垂直な面で切断した断面図、右側の図はV溝の中心線を含む面で切断した断面図である。ウエハサイズが4インチ、厚さ1mmの(100)面Si基板1aを準備する。

【0168】まず熱酸化により基板1aの厚さ1μmのSi酸化膜を形成する。次に、ホトレジストをスピンコーティングし、ホトリソグラフィでレジストに窓を形成し、バッファード弗酸で熱酸化膜をエッチングする。このようにして形成された窓付きの酸化膜をV溝を形成する際のマスクに使用する。

【0169】窓の開口の幅は139μm、長さは6mmである。ホトレジストを除去した後、濃度30%(重量%)のKOH水溶液でSi基板1をエッチングして、図34(A)に示すようなV溝2aを形成する。ここで、溝の深さが60μmより深ければ溝形状は逆台形であってもよい。

【0170】次に、後の工程で保護膜として使用するため、熱酸化で厚さ1μmのSiO<sub>2</sub>膜3を形成する。なお、図34には基板の一部のみを図示している。実際には、ウエハ単位の加工を行なう。図34(B)に保護膜SiO<sub>2</sub>膜63を形成する工程を終了した基板を示す。

【0171】次に、熱酸化CVD法を使用してポリシリコン10を堆積する(図34(C))。次に、SiO<sub>2</sub>

膜 3 の平らな部分に達するまでポリッシュバックする。この際、酸化膜 3 はポリシリコン 10 より硬いので、比較的容易に研磨を停止させることができる (図 3 5 (A))。

【0172】次に、有機高分子材料 4 1、4 2、4 3 を塗布して光導波路を形成する。光導波路材料には、ポリメチル・メタクリレート (PMMA) を使用し、スピンコーティング法で塗布する。コア 4 2 には、ポリベンジル・メタクリレートを添加して屈折率を高くし、コアパターンの形成には酸素プラズマによるエッチングを使用する (図 3 5 (B))。

【0173】次に、酸素プラズマエッチングで V 溝 2 a の上の導波路材料 4 1、4 2、4 3 を除去すると同時に、光導波路の端面を形成する。ポリシリコンが露出するので、HF と HNO<sub>3</sub> と CH<sub>3</sub>COOH を 1 : 2 : 1 の割合で混合した液を使用して、ポリシリコンをウェットエッチングして除去する (図 3 5 (C))。最後にダイシングソーを使用してチップ毎に切断し、V 溝 2 a に光ファイバ 7 をはめ込み、エポキシ系の接着剤で固定する。

【0174】本実施例においては、V 溝をポリシリコンで埋め込み表面を平坦にしたので、有機高分子の導波路を形成する際、導波路の各層の膜厚を均一にすることができる。また、導波路材料が溝に入り込むことを防止できる。V 溝は、最初の工程で形成するので、マスクとして薄い SiO<sub>2</sub> 膜を使用できるため、比較的精度の高い V 溝を形成することができる。

【0175】さらに、V 溝 2 a の先端の壁が斜めになっても、光ファイバ 7 の先端を光導波路に近付けることができる。なお、保護膜 3 とポリシリコン 10 は、1000℃以上の高温に耐えるので、SiO<sub>2</sub> 導波路等の製造プロセス中、高温の熱処理が行なわれる光導波路を形成することも可能である。

【0176】次に、実施例 17 について、図 3 6、3 7 を使用して説明する。本実施例は、実施例 16 の図 3 5 (C) の光導波路の後方にさらにエッジ入射形のホトダイオード 6 a を実装することを特徴とする。

【0177】図 3 6 (A) は、実施例 16 の図 3 5 (A) に示す基板と同等のものである。まず、基板上に、実施例 1 の図 3 (B) から図 7 (A) までの工程と同様の方法で配線パターン 5 b とボンディングパッド 5 を形成する。

【0178】次に、有機高分子材料 4 1、4 2、4 3 のスピンコーティングと酸素プラズマによるコアパターン 4 2 のエッチングで光導波路を形成する (図 3 6 (C))。次に、光導波路となる部分をマスク 3 c で保護して、光導波路の端面形成と同時に V 溝 2 a の上の光導波路材料とボンディングパッド 5 の上の光導波路材料を除去する (図 3 6 (D))。

【0179】次に、V 溝中のポリシリコン 10 をウェッ

トエッチングで除去する (図 3 7 (A))。エッチャントには HF と HNO<sub>3</sub> と CH<sub>3</sub>COOH の混合液 (混合比 1 : 2 : 1) を使用する。次に、ボンディングパッド 5 にホトダイオード 6 a をボンディングする (図 3 7 (B))。

【0180】次に、A-A に沿って基板を切断する (図 3 7 (C))。次に、V 溝 2 a に光ファイバ 7 をはめ込み、エポキシ系接着剤で固定する (図 3 7 (D))。以上の工程で光ファイバ 7 と光導波路とホトダイオード 6 a とを結合することができる。

【0181】本実施例により、光ファイバと光導波路とホトダイオードの三者の間の光結合を無調整で行なうことができる。また、光導波路に様々な機能を持たせ、オプトエレクトロニックデバイスとしてホトダイオード以外にレーザダイオード、レーザアンプまたは光スイッチ等を使用すると、多種多様な集積化光装置を実現することが可能になる。

【0182】実施例 18 を図 3 8 に示す。本実施例は基板にセラミックを使用したこと、および基板上の配線の高周波特性を良くすることを目的として 2 層構造のセラミックを使用したことを特徴とする。

【0183】図 3 8 中の 1 1 と 1 1 a はセラミック基板、1 2 はセラミック基板間に挟まれた金属薄膜、2 a はたとえば円盤状のダイヤモンドカットで機械的に研削して形成した V 溝、5 はボンディングパッド、5 b は配線パターン、6 a はホトダイオード、7 は光ファイバである。

【0184】まず、V 溝 2 a をポリシリコンで埋め込んだ後、セラミック 1 1 の表面までポリッシュバックして平坦な基板を製作する。そして、平坦な基板上に蒸着とホトリソグラフィでボンディングパッド 5 と配線パターン 5 b を形成した後、HF と HNO<sub>3</sub> と CH<sub>3</sub>COOH の混合液 (混合比 1 : 2 : 1) を使用して溝 2 a の中のポリシリコンを除去する。

【0185】そして、ホトダイオード 6 a をボンディングし、溝 2 a にファイバ 7 をはめ込む。たとえば、基板 1 1 の厚さと配線パターン 5 の幅を共に約 200 μm に選んだ。このときの配線の特性インピーダンスは 50 Ω であった。

【0186】以上のように、本実施例は、V 溝の形成にダイヤモンドカットを使用すること、V 溝 2 a が基板の端から端まで形成されていること、配線とボンディングパッドが V 溝 2 a をまたぐように形成されていること、配線を特性インピーダンスが 50 Ω のマイクロストリップラインとしたこと以外は実施例 17 と同様である。

【0187】本実施例においては、基板に Si を使用した場合に比べて、配線の静電容量が低下するため、周波数特性を向上させることができる。さらに、基板を二層にし、間に金属をはめ込んで、配線を 50 Ω のマイクロストリップラインとすることにより、10 GHz 以上の



帯域を持つ配線を実現することができる。

【 0 1 8 8 】 以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 1 8 9 】

【発明の効果】 以上説明したように、本発明によれば、光ファイバ位置決め用溝を具備する基板の表面を平坦化できるため、表面にボンディングパッドや光導波路を形成する際のホトリソグラフィ精度の向上が容易になる。その結果、V溝に光ファイバをはめ込むという簡単な方法による光ファイバと導波路の光接続の精度を向上させることが容易になる。

【 0 1 9 0 】 同様に、ボンディングパッドに光学部品をフリップチップボンディングするという簡単な方法による光ファイバと光学部品、あるいは光導波路と光学部品の光接続の精度を向上させることが容易になる。

【 0 1 9 1 】 その結果、光学部品の光軸合わせに、高価な多軸微調整装置や、発光素子を発光させて微調整するための補助的部材等を用いなくても、高い光結合効率を得ることが可能になる。

【 0 1 9 2 】 しかも、ICプロセスと同様の工程でウエハ単位での一括製造が可能になる。その結果、光学部品、光ファイバおよび電子部品を組み込んだ光結合部材の組立コストの低減を図ることができる。

【 0 1 9 3 】 また、従来の無調整化を目指した光接続方法と比較すると、より精度の高い位置合わせを行なうことが容易になるので、より高性能な光学部品の光接続が行なわれるようになる効果がある。

【 0 1 9 4 】 また、実施例 1 のように、光学部品が光ファイバ位置決め用溝をまたぐような構成を採用すれば、光ファイバと光学部品端面との距離を短くできるというデバイスの効果を得ることが可能である。

【 0 1 9 5 】 また、実施例 2 のように、光ファイバ位置決め用溝を下地基板中央部にのみ形成する構成を採用すれば、貼り合わせた Si のエッチング時に、溝をワックス等で塞ぐ必要がなくなるというプロセスの効果、および光学部品の熱拡散特性が向上するというデバイスの効果を得ることも可能である。

【 0 1 9 6 】 また、実施例 3 のように、表面に SiO<sub>2</sub> 膜を有する貼り合わせ Si 基板のうち Si を全て除去せず、Si の薄膜を残す構成を採用すれば、光学部品が実装される基板と同一基板上にモノリシック IC を形成することが可能となる。

【 0 1 9 7 】 さらに、光学部品（発光素子や光電変換素子）をモノリシック IC の電極に直接ボンディングして、1つの工程で IC との電氣的接続とファイバや導波路との光学的接続を同時に実現することができる。

【 0 1 9 8 】 これにより、組立工程数の低減、光学部品（発光素子や光電変換素子）と IC との配線工程と配線

部材の省略が可能になり、本発明の実装技術で組み立てられた装置が低価格化される。

【 0 1 9 9 】 さらに、装置の小型化や電気配線のインダクタンスが小さくなることによる装置の高速化等の性能が向上する効果も得られる。また、実施例 4 のように、低温プロセスで形成可能で、しかもスピンコーティングで堆積させることが可能な有機高分子導波路を、光ファイバ位置決め用 V 溝を具備する基板の表面に形成することが容易になる効果がある。

10 【 0 2 0 0 】 導波路を、ボンディングパッドが融解する温度よりも低温で形成することが可能になるため、ボンディングパッドを形成した後に導波路を形成することができるようになる。

【 0 2 0 1 】 この結果、まず第 1 の効果として、ボンディングパッドを形成するためのホトリソグラフィプロセスを、平坦な基板上で行なうことが可能になる。その結果、ホトリソグラフィによるボンディングパッドのパターン転写精度が向上し、ボンディングパッドを光導波路端面に接近させることが可能になる。その結果、光導波路とボンディングパッドにフリップチップボンディングされる光学部品との光結合効率が向上する効果がある。

20 【 0 2 0 2 】 次に、第 2 の効果として、ボンディングパッドは段差が比較的小さいので、平坦な基板上にボンディングパッドを形成した後、スピンコーティングで導波路を形成すると、有機高分子がボンディングパッドの段差を平坦化するので、スピンコート後の導波路の表面も平坦になる。

【 0 2 0 3 】 そのため、光導波路を形成するためのホトリソグラフィプロセスも、平坦な面上で行なわれるようになる。その結果、導波路とボンディングパッドの相対的位置精度が向上し、光接続が良好になる効果がある。

【 0 2 0 4 】 しかも、光ファイバ位置決め用 V 溝を具備する基板の V 溝を覆う平板状部材を除去することによって、容易に V 溝を露出させることができる効果がある。その結果、光ファイバと光導波路と光学部品を 1 枚の基板の上に実装することが容易になる効果がある。

【 0 2 0 5 】 なお、本発明の光ファイバ位置決め用 V 溝を具備する基板の V 溝の表面を SiO<sub>2</sub> 膜あるいはポリシリコンで平坦化した基板は、1000℃以上の温度に耐えるので、実施例 5 に示すように、本発明による表面を SiO<sub>2</sub> 膜あるいはポリシリコンで平坦化した光結合部材を、SiO<sub>2</sub> 導波路等の高温で形成される導波路と光ファイバとの光接続に用いることもできる効果がある。

【 0 2 0 6 】 有機高分子導波路を使用する場合と合わせて、光導波路と光ファイバの光接続に使用することができ、その際、光接続の高精度化によりデバイスを高性能化する効果と光接続の無調整化により光接続のコストを低減させる効果とがある。

【0207】また、実施例7のように、光ファイバ位置決め用溝を覆う平面状の膜をSi膜とSiO<sub>2</sub>膜との積層構造にすることにより、反射防止の効果を得ることも可能である。

【0208】また、実施例8のように、単体の光学部品をアレイ状に配置した基板を接着剤で貼り合わせしても、接着剤がファイバ先端に回り込むことがないので、光学部品がアレイ状に形成されたウエハ状の基板をマスクアライナを用いてウエハ単位で一括位置合わせし、接着剤で接着実装することも容易になる。

【0209】ウエハ単位で保持するので、部品の保持が容易になる効果がある。さらに、マスクアライナは、位置合わせ精度が高い装置なので、光学部品の位置合わせ精度も向上する効果がある。さらに、ウエハ単位で位置合わせされるので、部品1個当たりに換算した位置合わせ時間が短くなり、位置合わせのコストが低減される効果がある。

【0210】また、実施例9のようにも光学部品をアレイ状に配置した基板と光ファイバ位置決め溝を具備した基板との間に、シート状光学部品をはめ込むことにより、基板の強度増加および光結合効率の向上といったデバイスの効果を得ることも可能である。

【0211】また、実施例10または実施例11のように、光ファイバ位置決め用溝を具備した基板表面に、ホトリソグラフィでレンズ形成を行なっても光ファイバ位置決め用溝の中が保護される効果がある。

【0212】なお、実施例10または実施例11のような方法を用いると、ファイバ位置決め用溝を具備した基板の表面にホトリソグラフィでレンズを形成する際に、光を反射する面とマスクパターンとの位置合わせを行なうだけで、光軸とレンズの中心との位置合わせが行なわれる効果がある。

【0213】また、実施例12のように、光ファイバ位置決め用溝を具備する基板にガラス基板を張り合わせる構成とすることにより、電気配線の静電容量の低減と共に、配線基板と溝を覆うSiO<sub>2</sub>膜の補強をすることが可能である。さらに、実施例13のように、このガラス基板にイオン交換法によりレンズを形成することにより、光結合効率を向上させることが可能である。

【0214】また、実施例14のように、光ファイバ位置決め用溝を具備する基板にバイレックスガラスを貼り合わせる構成とすることによっても、機械的強度の向上および電気配線の静電容量の減少というデバイスの効果を得ることも可能である。

【0215】また、実施例15のように、下地基板としてSiの2層構造を採用すれば、反射光の光軸を基板と垂直にすることが可能であり、光学部品の受光部の位置決めを容易にすることが可能である。

【図面の簡単な説明】

【図1】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図2】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図3】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

10 【図4】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図5】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図6】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

20 【図7】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図8】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図9】本発明の実施例2による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図10】本発明の実施例2による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

30 【図11】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図12】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図13】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図14】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図15】本発明の実施例4による製造方法を説明するための光学部品実装基板の斜視図である。

40 【図16】本発明の実施例4による製造方法を説明するための光学部品実装基板の斜視図である。

【図17】本発明の実施例4による他の実施例の製造方法を説明するための光学部品実装基板の斜視図である。

【図18】本発明の実施例5による製造方法を説明するための光学部品実装基板の斜視図である。

【図19】本発明の実施例5による製造方法を説明するための光学部品実装基板の斜視図である。

【図20】本発明の実施例6による光係合部材の断面図である。

50 【図21】本発明の実施例7による光係合部材の断面図である。

【図 2 2】本発明の実施例 8 による製造方法を説明するための Si ウエハの斜視図である。

【図 2 3】本発明の実施例 9 による製造方法を説明するための Si ウエハおよびシート状光学部品の斜視図である。

【図 2 4】本発明の実施例 1 0 による光係合部材の断面図である。

【図 2 5】本発明の実施例 1 1 による光係合部材の断面図およびその製造方法を説明するための断面図である。

【図 2 6】本発明の実施例 1 2 による製造方法を説明するための光学部品実装基板および光学部品の断面図である。

【図 2 7】本発明の実施例 1 3 による光係合部材の断面図である。

【図 2 8】本発明の実施例 1 4 による光係合部材の断面図である。

【図 2 9】光ファイバの端面を斜めにすることによる効果を説明するための光結合部材の断面図である。

【図 3 0】本発明の実施例 1 5 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の斜視図および断面図である。

【図 3 1】本発明の実施例 1 5 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の斜視図および断面図である。

【図 3 2】本発明の実施例 1 5 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の斜視図および断面図である。

【図 3 3】本発明の実施例 1 5 による光結合部材の断面図である。

【図 3 4】本発明の実施例 1 6 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 5】本発明の実施例 1 6 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 6】本発明の実施例 1 7 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 7】本発明の実施例 1 7 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 8】本発明の実施例 1 8 による光結合部材の製造方法を説明するための光学部品実装基板、光学部品および光ファイバの斜視図である。

【図 3 9】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 0】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 1】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 2】他の従来例による光学部品実装基板の製造方

法を説明するための基板の斜視図である。

【図 4 3】他の従来例による光学部品実装基板の製造方法を説明するための基板の斜視図である。

【図 4 4】従来例による光導波路付き基板にボンディングパッドを形成する際の問題点を示す図である。

【符号の説明】

1 シリコンインゴット

1 c、1 a、1 b (100) 面 Si 基板

2 a、2 v V 溝

2 b、2 z V 溝の先端分

3 a、3 b、3 e、3 f、3 g、3 h SiO<sub>2</sub> 膜

3 c、3 d エッチングマスク用 SiW、SiO<sub>2</sub>、ポリ Si 膜

3 w マスクの窓

4 V 溝を SiO<sub>2</sub> でカバーした基板材料

5、5 a、5 d、5 e、5 f ボンディングパッド

5 b 配線パターン

5 c 金線

6、6 a、6 d 光学部品

6 b モノリシック IC

6 c PD アレイ

7 光ファイバ

7 a シース

7 b ファイバ端面

8 放射光

9 a、9 b、9 c レンズ

10 ポリ Si

11、11 a セラミック基板

12 金属薄膜

13 d Si のメサ

19 b レジストパターン

21 ホトレジスト膜

21 c、21 d、21 g レジスト除去部分

22 ホトマスク

22 a クロム

41、42、43 有機高分子材料

41 a、42 a、43 a SiO<sub>2</sub> 膜

51、51 a Ti

52 Pt

40 53、53 a Au

61、61 b 光学部品に形成されたボンディング用パッド

61 a バンプ

62、62 a 光学的能動領域

63、63 a 電極

64 a レンズ

71 a、72 a ガラス基板

73 a バイレックスガラス

81 a 電流ワイヤ

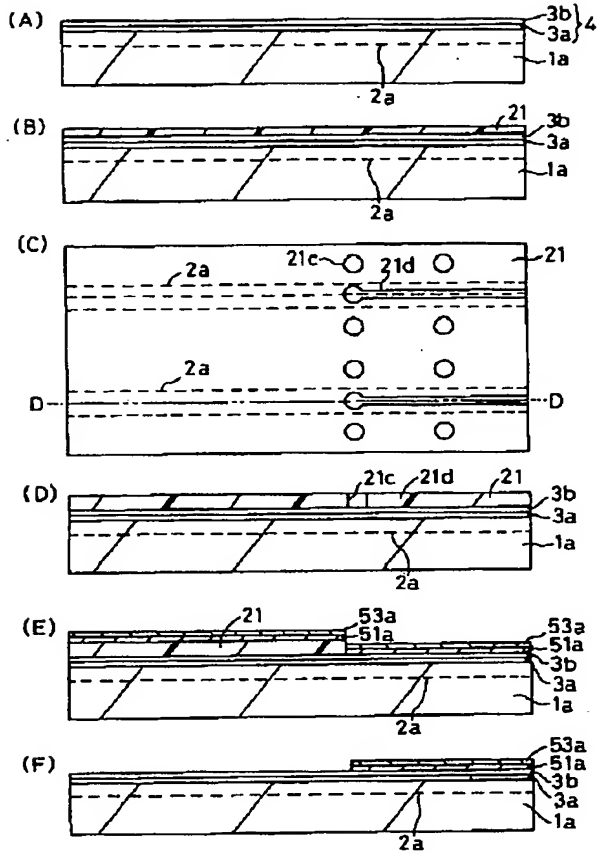
82 a 配線

50



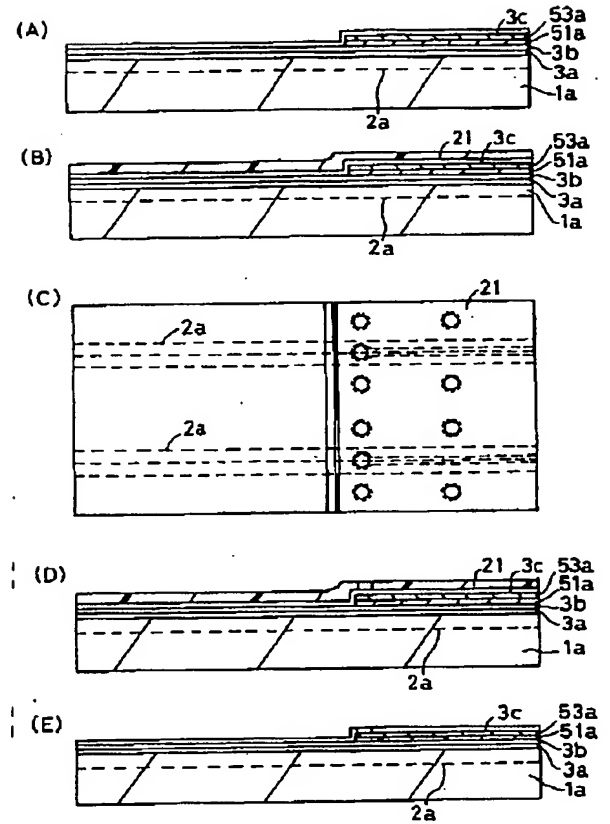
【 図 3 】

実施例 1



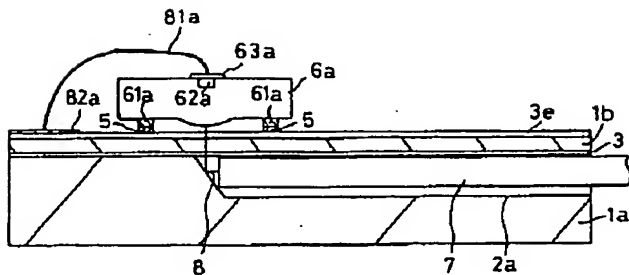
【 図 4 】

実施例 1



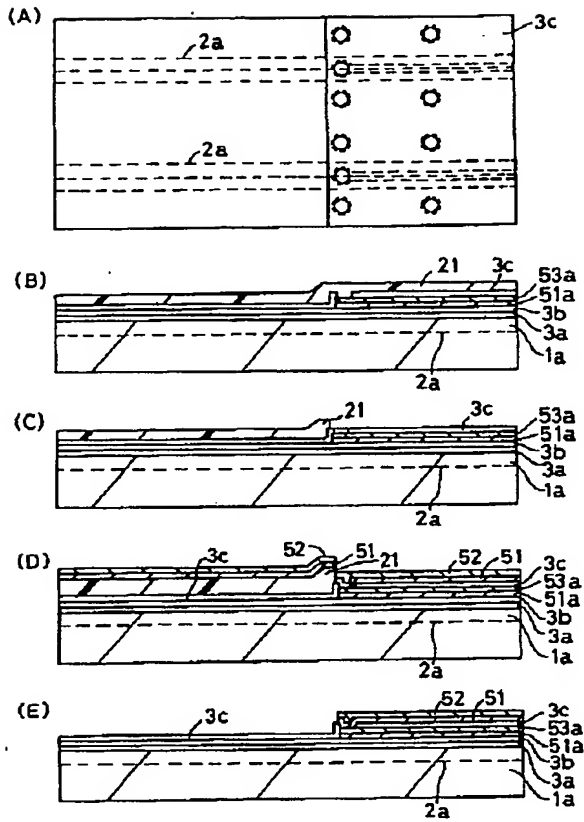
【 図 2 1 】

実施例 7



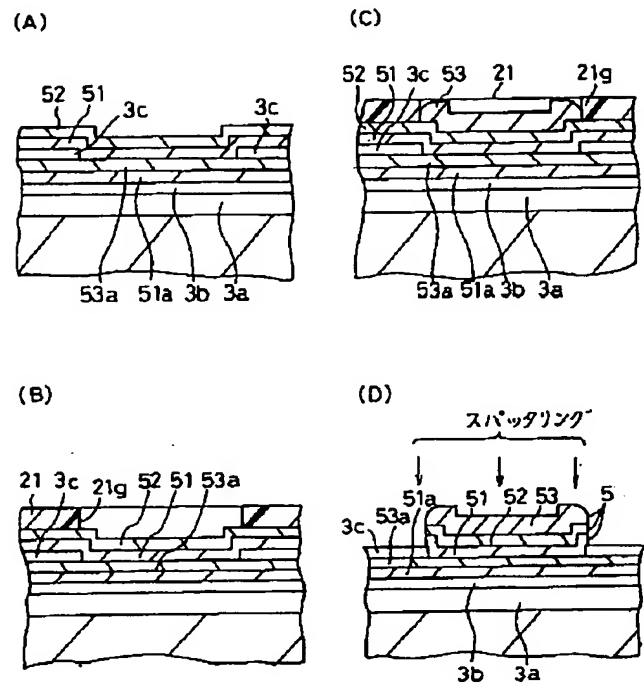
【 図 5 】

実施例 1



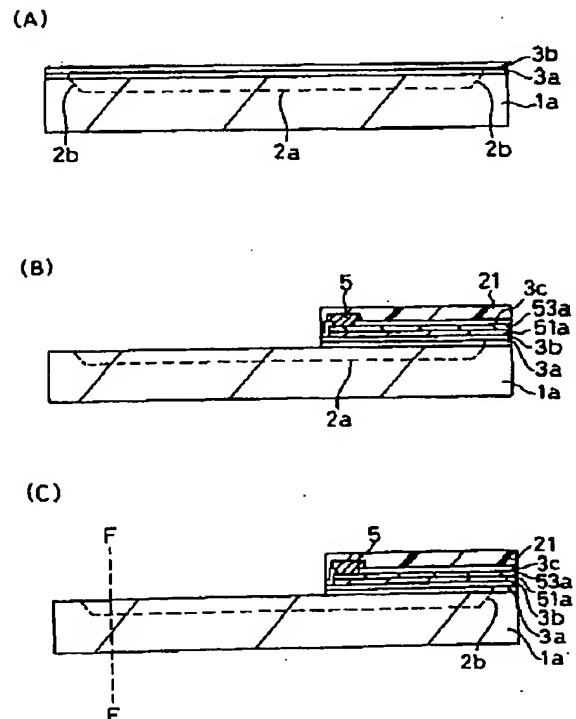
【 図 6 】

実施例 1



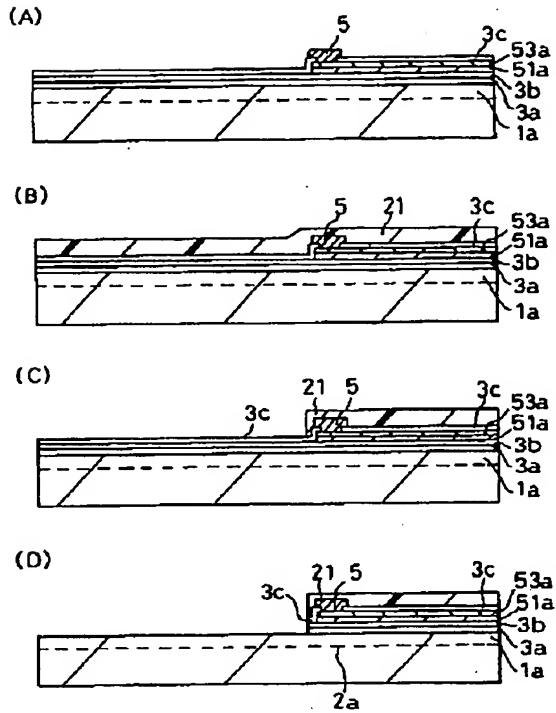
【 図 1 0 】

実施例 2



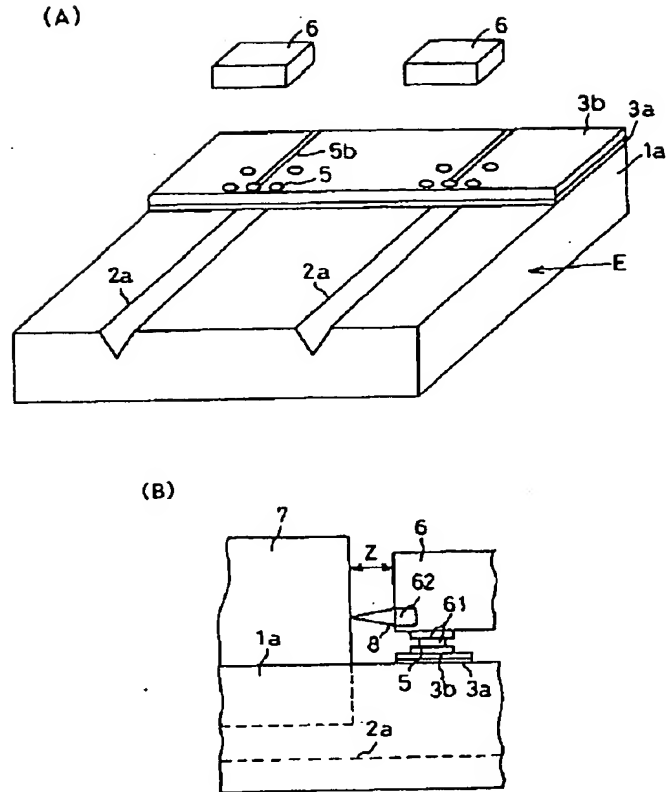
【図 7】

実施例 1



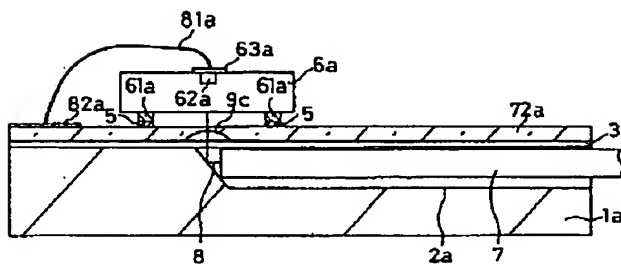
【図 8】

実施例 1



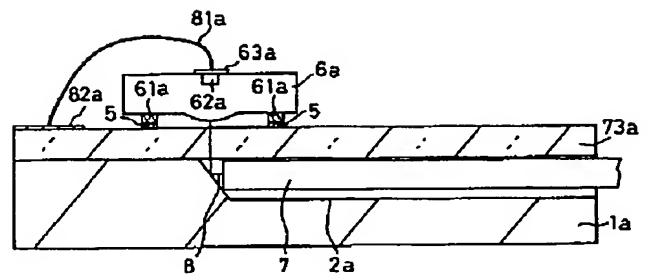
【図 27】

実施例 13



【図 28】

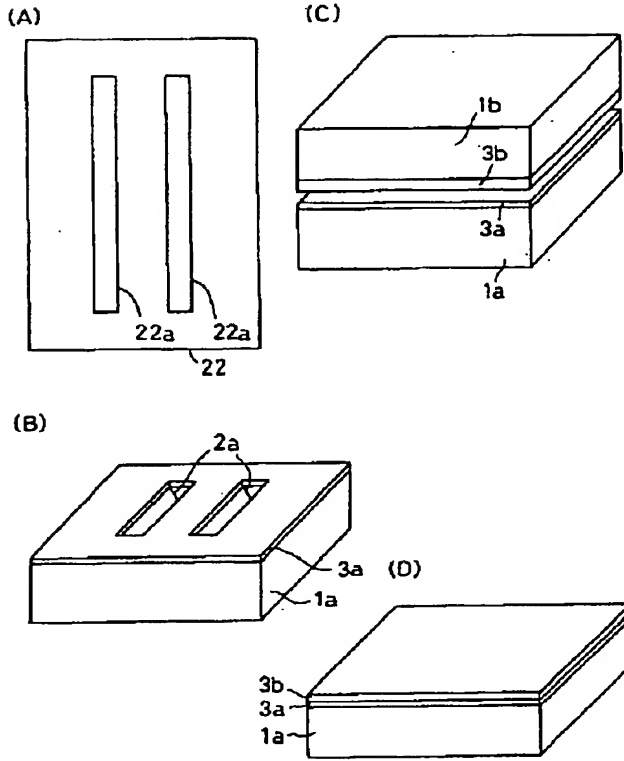
実施例 14





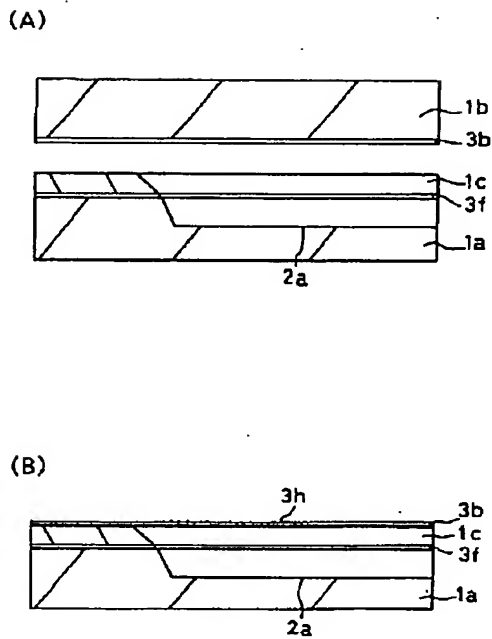
【 図 9 】

実施例 2



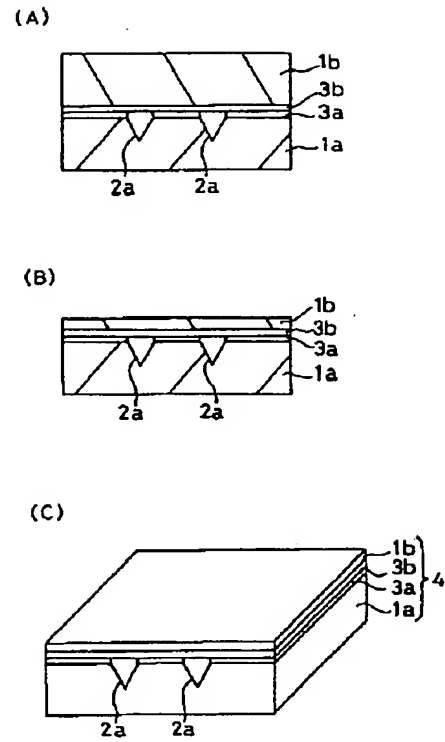
【 図 3 2 】

実施例 1 5



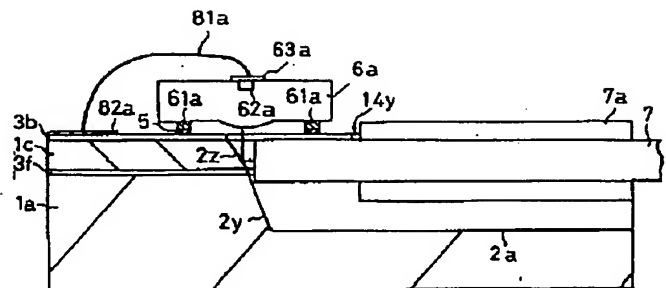
【 図 1 1 】

実施例 3



【 図 3 3 】

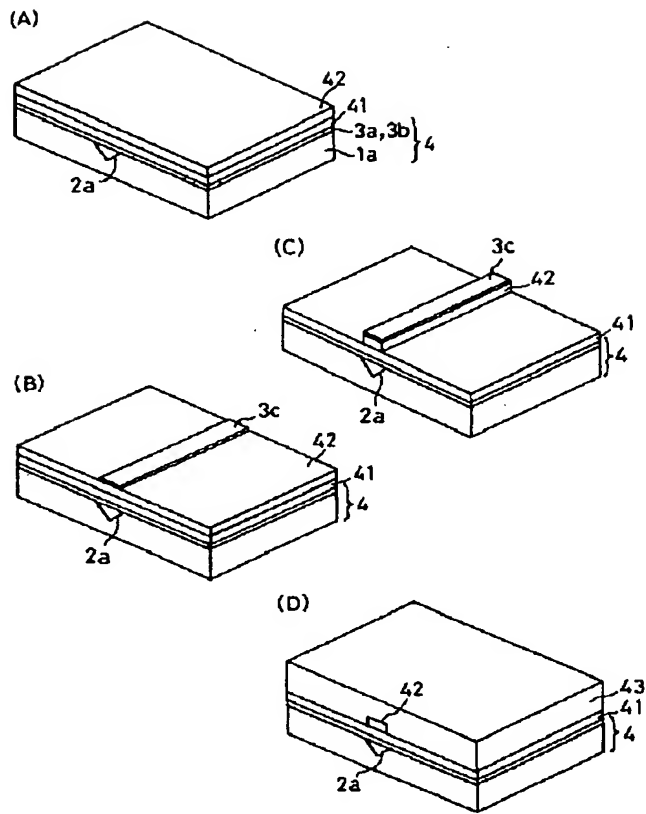
実施例 1 5





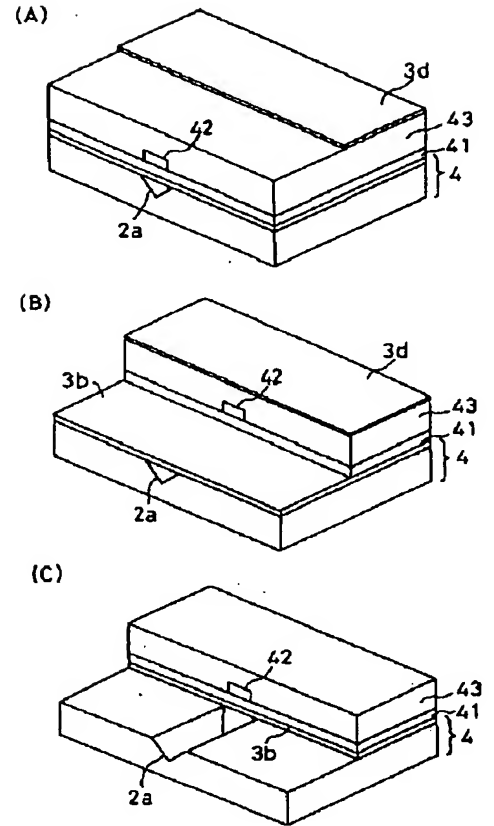
【図 15】

実施例 4



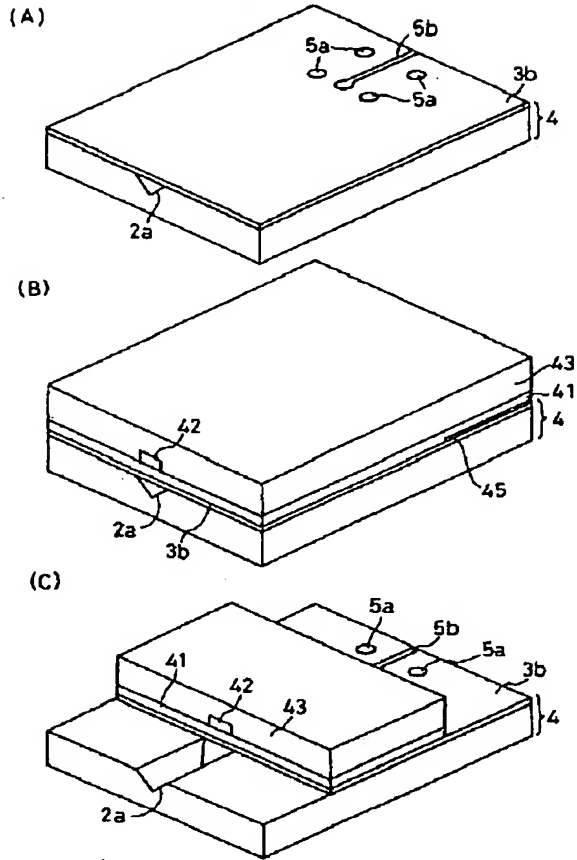
【図 16】

実施例 4



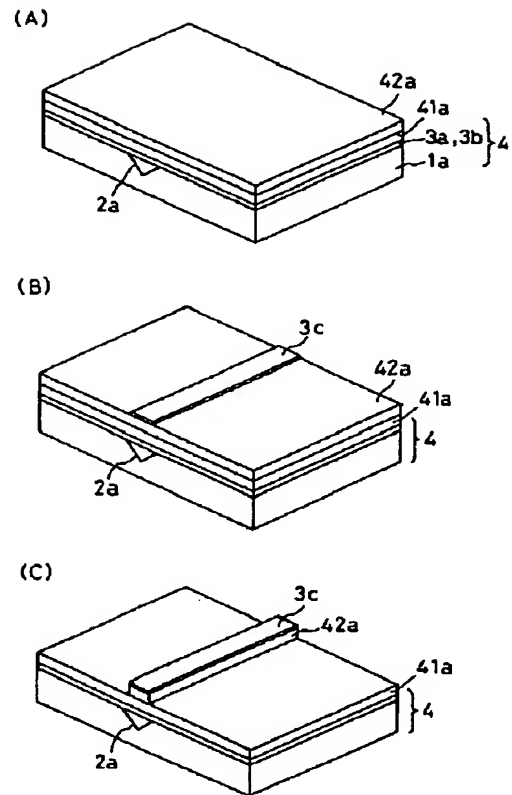
【図 17】

実施例 4 (応用)



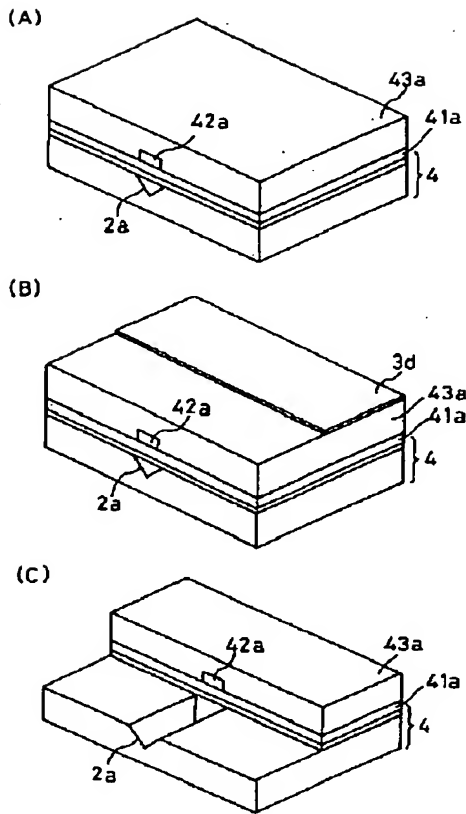
【図 18】

実施例 5



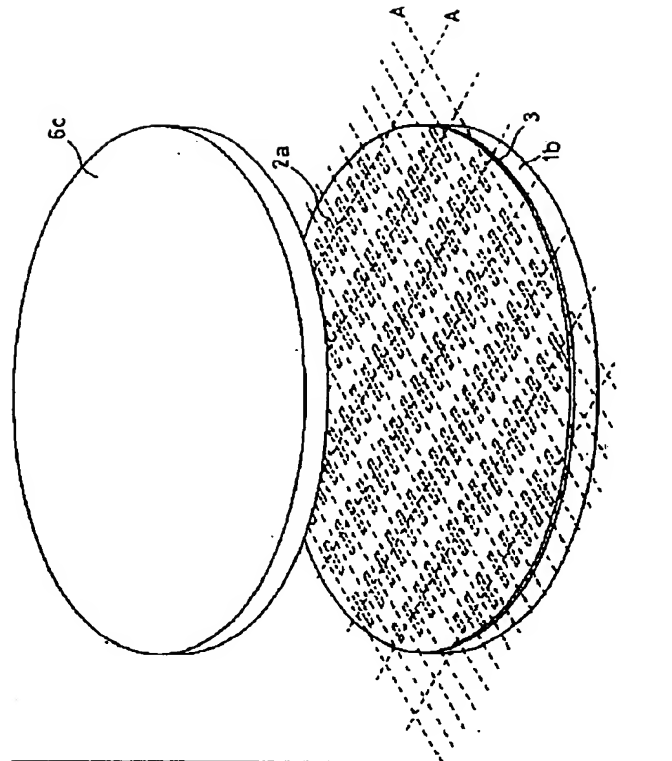
【図 19】

実施例 5



【図 22】

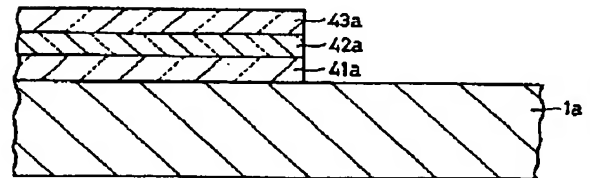
実施例 8



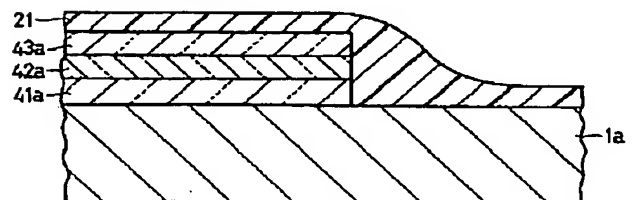
【図 44】

従来例

導波路形成後

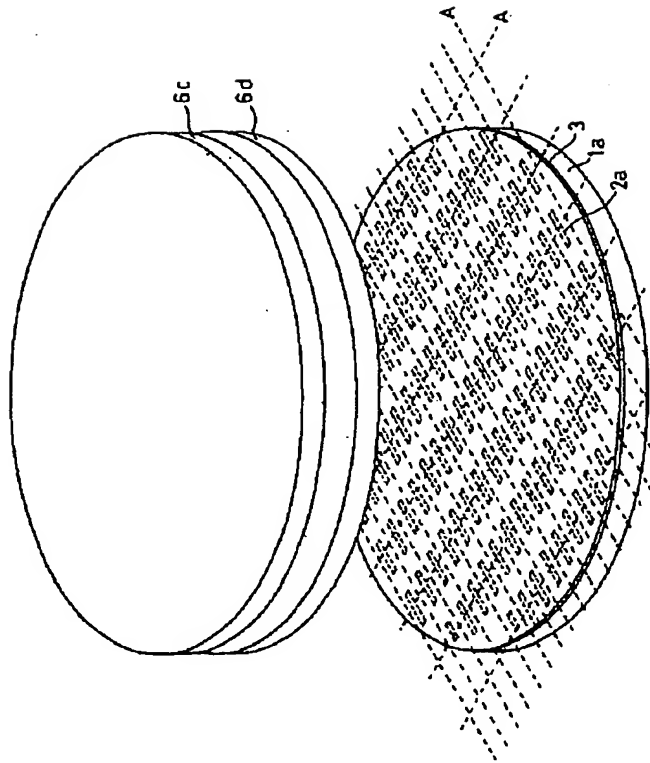


レジスト塗布後



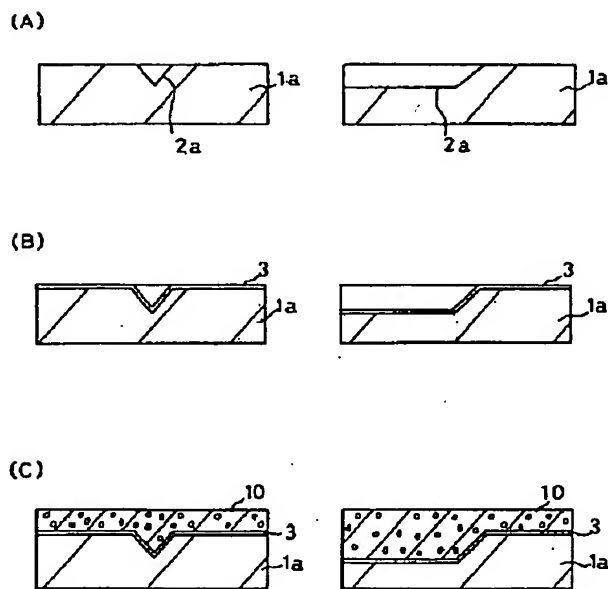
【図 2 3】

実施例 9



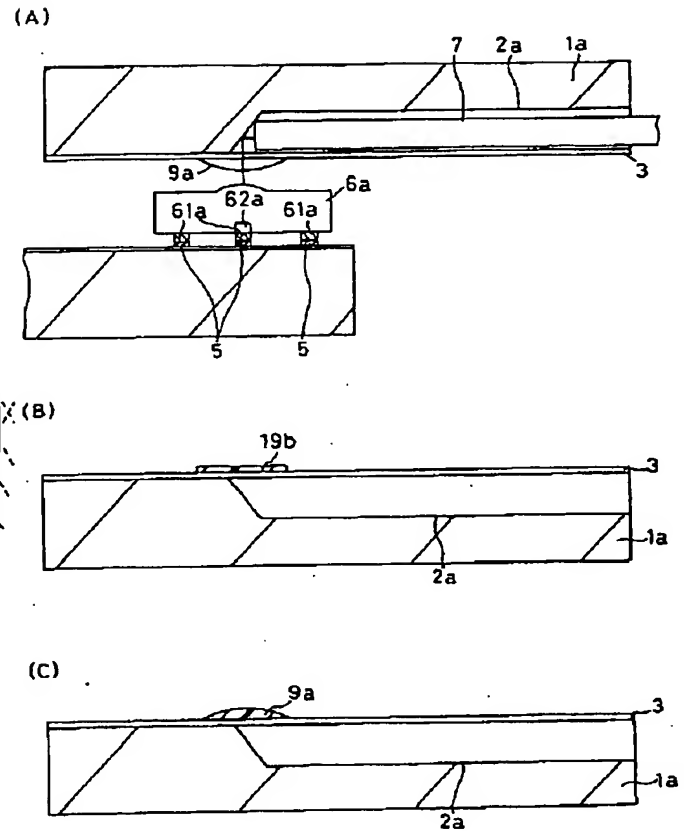
【図 3 4】

実施例 1 6



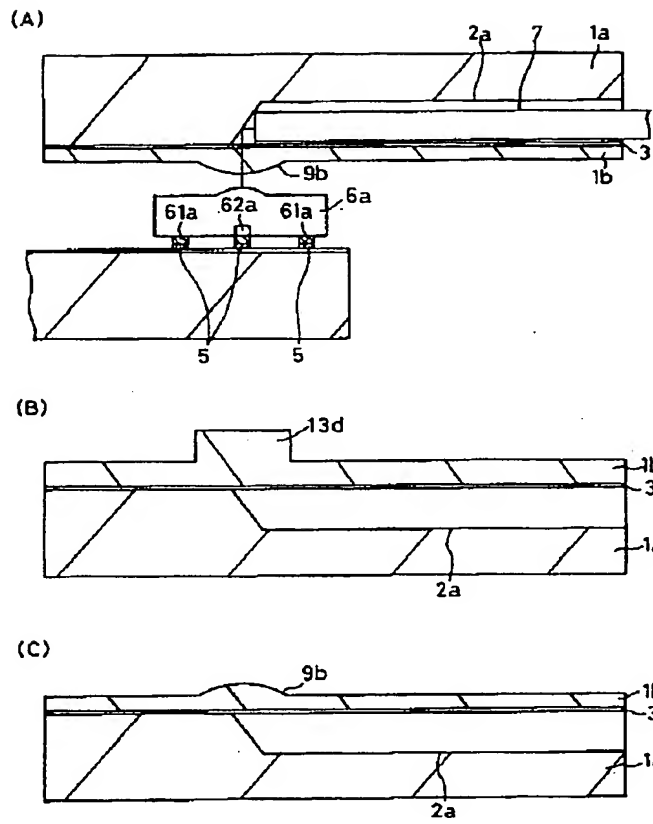
【図 2 4】

実施例 1 0



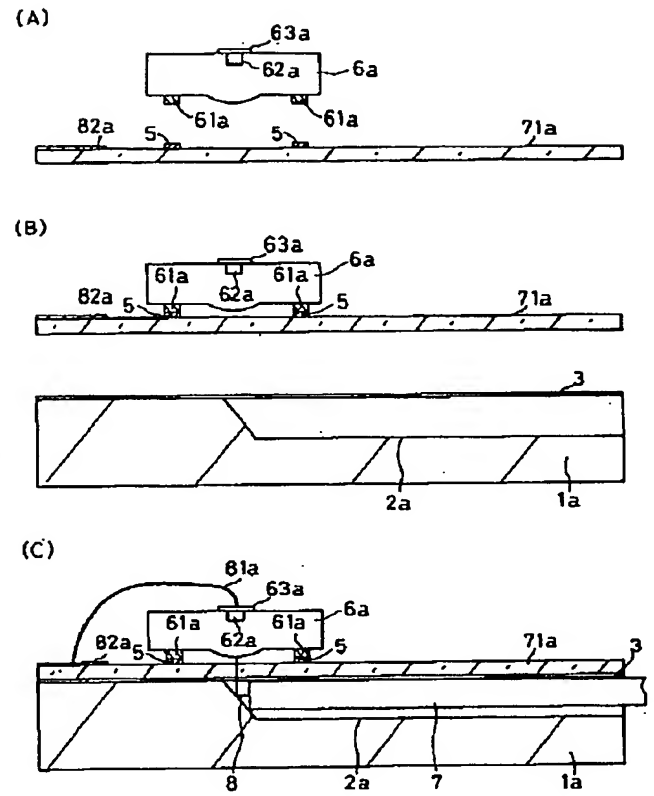
【図 2 5】

実施例 1 1



【図 2 6】

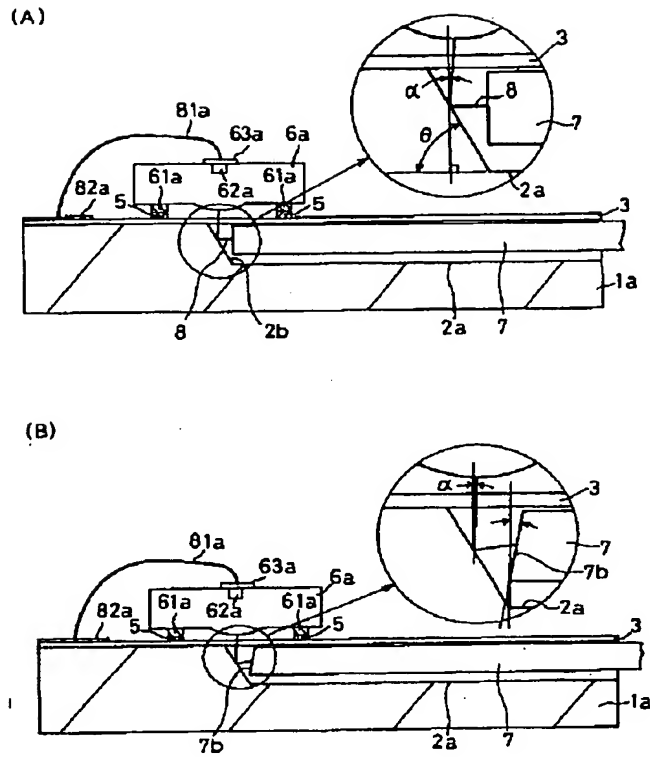
実施例 1 2





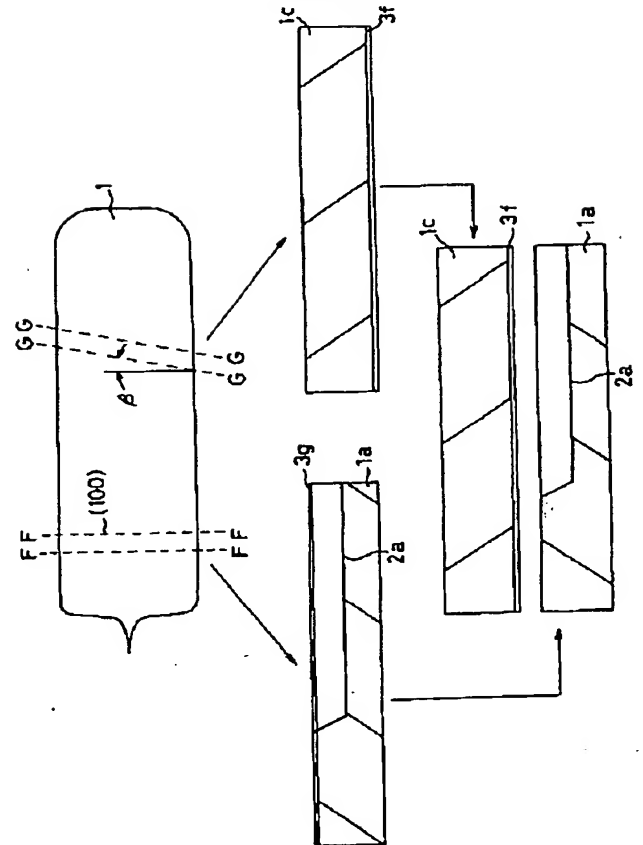
【図 29】

## 实施例（修正）



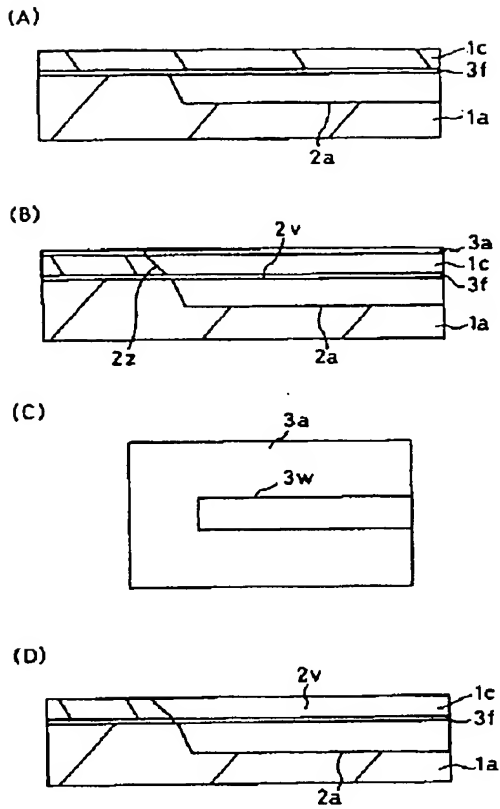
【图 30】

### 实施例 15



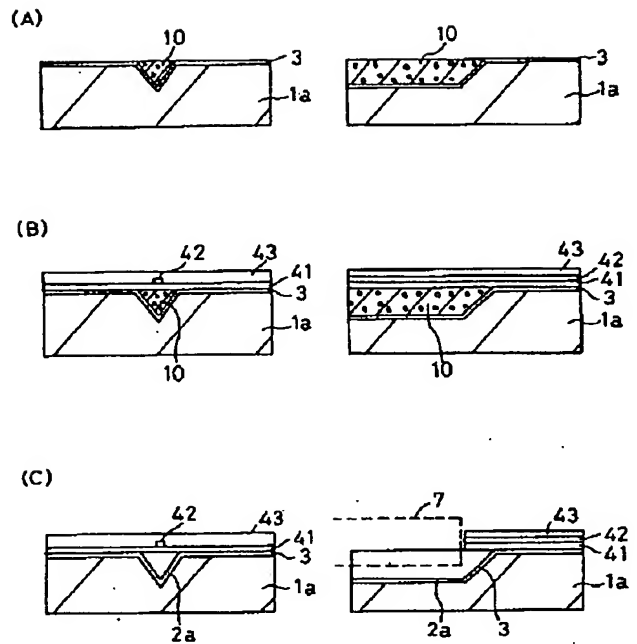
【 図 3 1 】

実施例 1 5



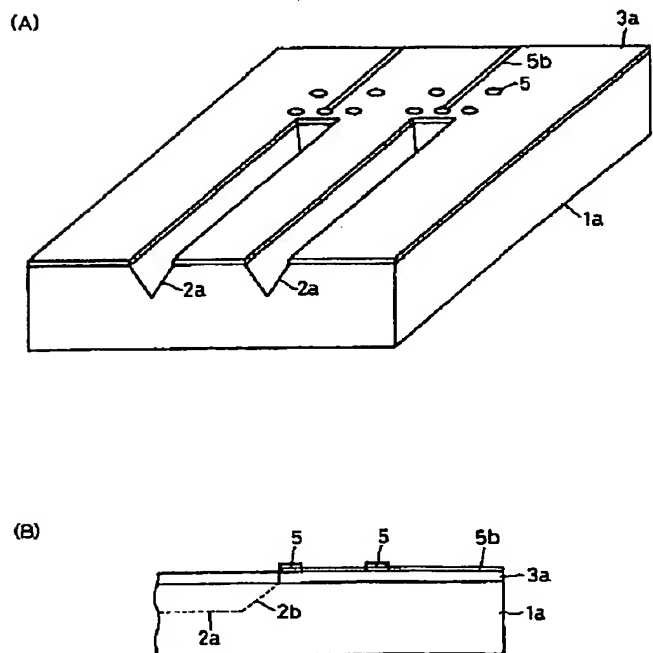
【 図 3 5 】

実施例 1 6



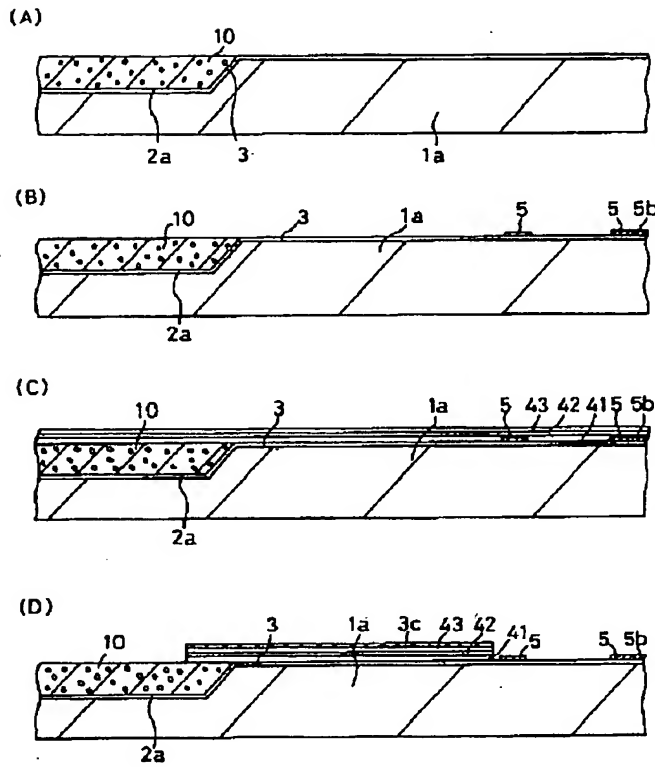
【 図 4 0 】

従来例



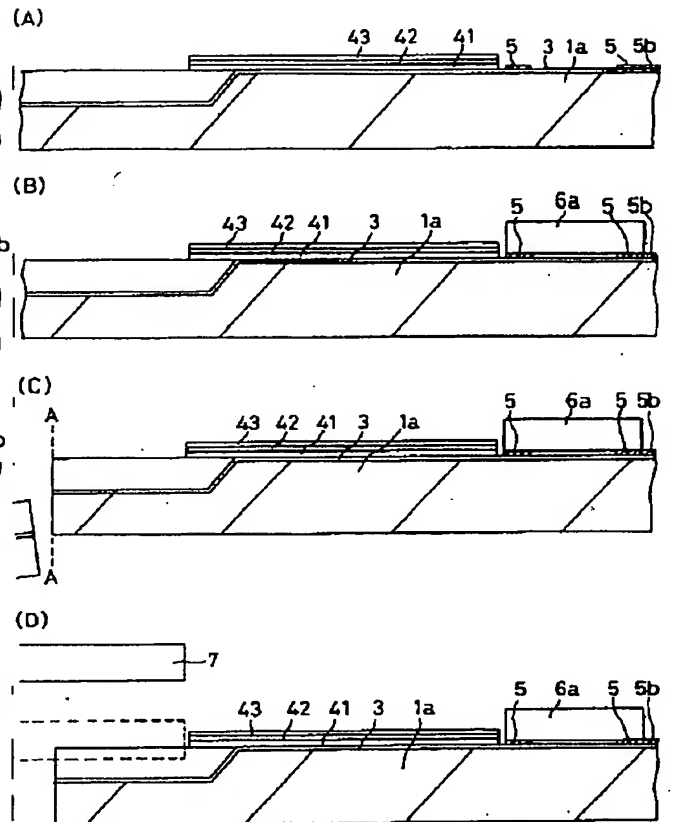
【図 3 6】

### 实施例 17



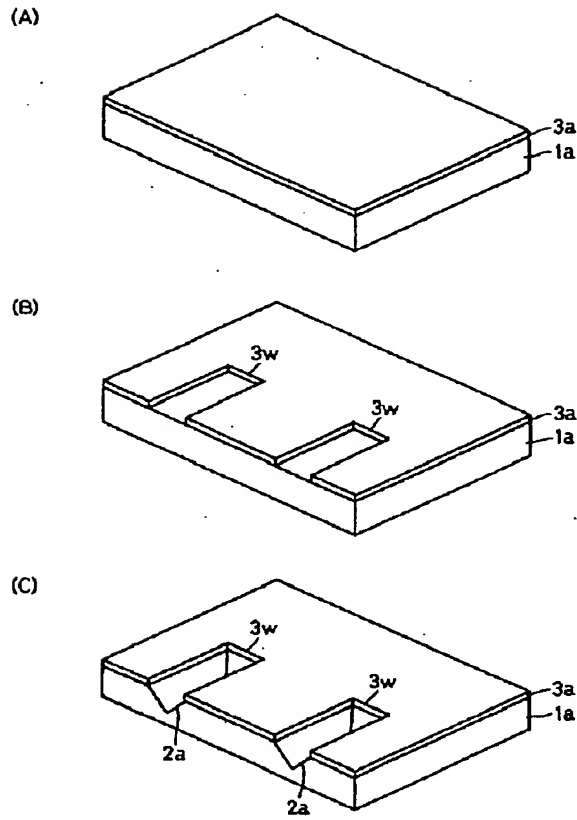
【图 3 7】

### 实施例 17



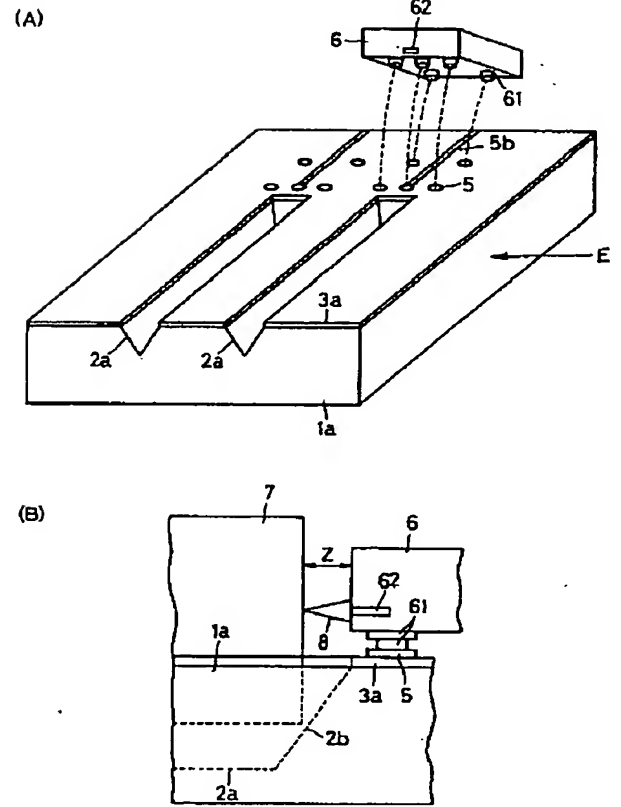
【図 3 9】

従来例

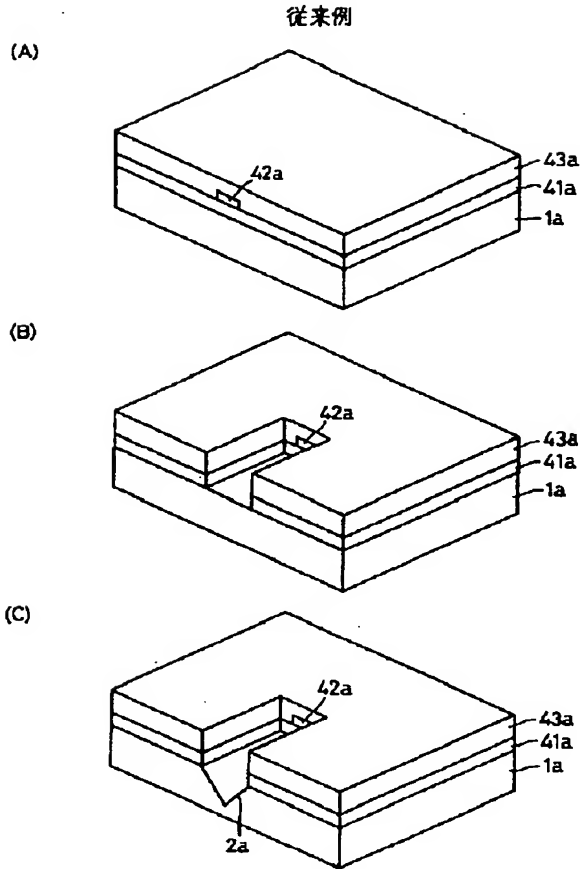


【図 4 1】

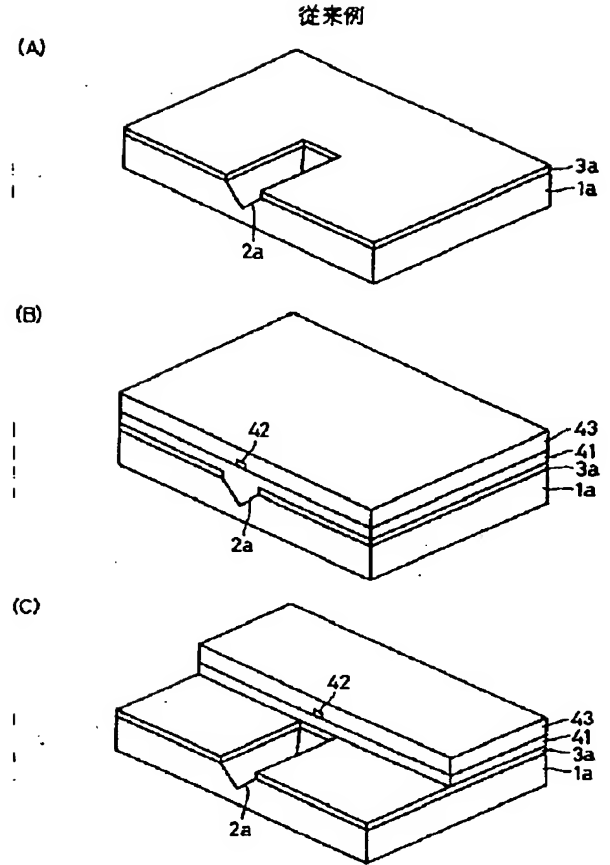
従来例



【図 4 2】



【図 4 3】



## 【手続補正書】

【提出日】平成 5 年 1 2 月 8 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 7

【補正方法】変更

## 【補正内容】

【0 0 5 7】本実施例 1 の説明では、左右に 2、前後に 1 の 2 個分に相当する実装基板の加工工程を示しているが、実際にはこのような基板チップが前後、左右に繰り返されている。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 6

【補正方法】変更

## 【補正内容】

【0 1 2 6】実施例 6 について、図 2 0 を参照して説明する。SiO<sub>2</sub> 膜 3、V 溝 2 a を備えたシリコン基板 1 a は、実施例 1 と同様の方法を用いて作製する。ただし、V 溝は光ファイバを完全に収容できる寸法とし、V

溝上の SiO<sub>2</sub> 膜 3 は後の工程でも除去しない。パンプ 6 1 a を使用してボンディングパッド 5 上にホトダイオード (PD) 6 a をフリップチップボンディングする。ホトダイオード 6 a は、光吸収領域 6 2 a、電極 6 3 a およびレンズ 6 4 a を有する。電極 6 3 a は電流ワイヤ 8 1 a によって配線 8 2 a に接続する。パッド 5 の直径は 6 0 μm、光ファイバ 7 の直径は 1 2 5 μm、V 溝 2 a の最上部の開口幅は 2 4 4 μm、SiO<sub>2</sub> 膜 3 の厚さは 3 μm、レンズ 6 4 a の直径は 8 0 μm である。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 5 9

【補正方法】変更

## 【補正内容】

【0 1 5 9】実施例 6 ~ 実施例 1 4 では、V 溝 2 a の端部斜面で反射された光ビーム 8 を基板面に対して垂直な光軸で示したが、実際には図 2 9 (A) に示すように、垂直にはならず、図示の場合、やや右に傾く。図 2 9 (A) の中の  $\theta = 54.7$  度、 $\alpha = 19.4$  度である。

この傾きを補正するためには、図 2 9 ( B ) のように光ファイバ 7 の端面 7 b を斜めにすればよい。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 1 6 4

【補正方法】変更

【補正内容】

【0 1 6 4】次に、V 溝 2 a 上の  $\text{SiO}_2$  膜 3 f をエッチングする。この時同時に  $\text{SiO}_2$  膜 3 a も除去される (図 3 1 ( D ) )。次に、厚さ  $6 \mu\text{m}$  の酸化膜 3 b のついた  $\text{Si}$  基板 1 b を貼り合わせる (図 3 2 ( A ) )。次に、 $\text{Si}$  基板 1 b を除去する (図 3 2 ( B ) )。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 2 0 3

【補正方法】変更

【補正内容】

【0 2 0 3】そのため、光導波路を形成するためのホトリソグラフィプロセスも、平坦な面上で行なわれるようになる。その結果、導波路とボンディングパッドの相対的位置精度が向上し、光接続が良好になる効果がある。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図 2】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図 3】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の平面図および断面図である。

【図 4】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の平面図および断面図である。

【図 5】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の平面図および断面図である。

【図 6】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の断面図である。

【図 7】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の断面図である。

【図 8】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 9】本発明の実施例 2 による製造方法を説明するための光学部品実装基板の平面図および斜視図である。

【図 1 0】本発明の実施例 2 による製造方法を説明するための光学部品実装基板の断面図である。

【図 1 1】本発明の実施例 3 による製造方法を説明する

ための光学部品実装基板の斜視図および断面図である。

【図 1 2】本発明の実施例 3 による製造方法を説明するための光学部品実装基板の断面図である。

【図 1 3】本発明の実施例 3 による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 1 4】本発明の実施例 3 による製造方法を説明するための光学部品実装基板の断面図である。

【図 1 5】本発明の実施例 4 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 1 6】本発明の実施例 4 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 1 7】本発明の実施例 4 による他の実施例の製造方法を説明するための光学部品実装基板の斜視図である。

【図 1 8】本発明の実施例 5 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 1 9】本発明の実施例 5 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 2 0】本発明の実施例 6 による光係合部材の断面図である。

【図 2 1】本発明の実施例 7 による光係合部材の断面図である。

【図 2 2】本発明の実施例 8 による製造方法を説明するための  $\text{Si}$  ウエハの斜視図である。

【図 2 3】本発明の実施例 9 による製造方法を説明するための  $\text{Si}$  ウエハおよびシート状光学部品の斜視図である。

【図 2 4】本発明の実施例 1 0 による光係合部材の断面図である。

【図 2 5】本発明の実施例 1 1 による光係合部材の断面図およびその製造方法を説明するための断面図である。

【図 2 6】本発明の実施例 1 2 による製造方法を説明するための光学部品実装基板および光学部品の断面図である。

【図 2 7】本発明の実施例 1 3 による光係合部材の断面図である。

【図 2 8】本発明の実施例 1 4 による光係合部材の断面図である。

【図 2 9】光ファイバの端面を斜めにすることによる効果を説明するための光結合部材の断面図である。

【図 3 0】本発明の実施例 1 5 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の側面図および断面図である。

【図 3 1】本発明の実施例 1 5 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の断面図および平面図である。

【図 3 2】本発明の実施例 1 5 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の断面図である。

【図 3 3】本発明の実施例 1 5 による光結合部材の断面図である。

【図 3 4】本発明の実施例 1 6 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 5】本発明の実施例 1 6 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 6】本発明の実施例 1 7 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 7】本発明の実施例 1 7 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 8】本発明の実施例 1 8 による光結合部材の製造方法を説明するための光学部品実装基板、光学部品および光ファイバの斜視図である。

【図 3 9】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図である。

【図 4 0】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 1】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 2】他の従来例による光学部品実装基板の製造方法を説明するための基板の斜視図である。

【図 4 3】他の従来例による光学部品実装基板の製造方法を説明するための基板の斜視図である。

【図 4 4】従来例による光導波路付き基板にボンディングパッドを形成する際の問題点を示す断面図である。

---

フロントページの続き

(51) Int. Cl. <sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

8523-5K

H04B 9/00

W



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**